

BSI/B 703-205-8000
1248-0697P
Kanamori et al.
January 22, 2004

日 本 国 特 許 庁 1081
JAPAN PATENT OFFICE

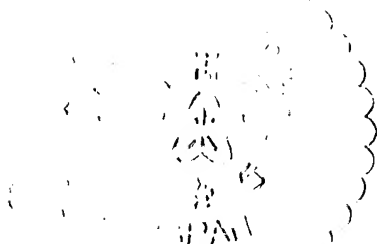
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 2 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 1 6 7 5 7
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 1 6 7 5 7]

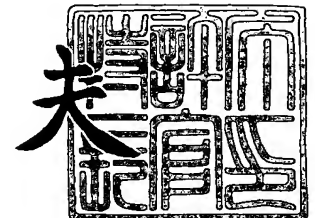
出 願 人 シャープ株式会社
Applicant(s):



2 0 0 3 年 1 0 月 1 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 4 4 2 2

【書類名】 特許願

【整理番号】 02J04699

【提出日】 平成15年 1月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H02M 3/137

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 金森 淳

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 沖 和史

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スイッチング電源回路、および、それを用いた電子機器

【特許請求の範囲】

【請求項 1】

スイッチング素子をオンさせるためのオンドライブ電流を生成するオンドライブ回路と、上記スイッチング素子をオフさせるためのオフドライブ電流を生成するオフドライブ回路と、上記両ドライブ回路を制御して、出力電圧が予め定められた値になるように、上記スイッチング素子のデューティ比を調整する制御手段とを有するスイッチング電源回路において、

上記スイッチング素子のオフ期間の開始と共に上記オフドライブ回路の動作を開始させると共に、スイッチング素子のオフ期間の終了時点よりも早い時点で、上記オフドライブ回路の動作を停止させるオフドライブ制御手段を備えていることを特徴とするスイッチング電源回路。

【請求項 2】

上記オフドライブ回路は、定電流源と、当該定電流源が出力する電流に 관련된電流を上記オフドライブ電流として、上記スイッチング素子の制御端子に供給、あるいは、当該制御端子から引き抜くカレントミラー回路と、上記オフドライブ制御手段が動作停止を指示している間、上記定電流源による電流出力を停止させる停止手段とを備えていることを特徴とする請求項 1 記載のスイッチング電源回路。

【請求項 3】

上記オフドライブ回路は、定電流源と、当該定電流源が出力する電流に 관련된電流を出力するカレントミラー回路と、当該カレントミラー回路の出力電流を増幅した電流を上記オフドライブ電流として、上記スイッチング素子の制御端子に供給、あるいは、当該制御端子から引き抜く電流増幅手段と、上記オフドライブ制御手段が動作停止を指示している間、上記定電流源による電流出力を停止させる停止手段とを備えていることを特徴とする請求項 1 記載のスイッチング電源回路。

【請求項 4】

上記オフドライブ制御手段は、上記スイッチング素子のデューティ比の上限を決めるためのデューティ制限信号を上記制御回路へ出力すると共に、当該デューティ制限信号は、デューティ比が上限値である場合の上記スイッチング素子のオフ期間が、上記オフドライブ回路の動作期間よりも長くなるように設定されていることを特徴とする請求項 1 記載のスイッチング電源回路。

【請求項 5】

上記オフドライブ制御手段は、基準となる定電流を生成する基準定電流源と、当該基準電流源の出力する定電流に相關した第 1 および第 2 の定電流を生成する、定電流生成用のカレントミラー回路と、

上記第 1 の定電流を基準にして、上記オフドライブ回路の動作期間を示すオフドライブ制御信号のパルス幅を決定する第 1 のパルス生成手段と、

上記第 1 の定電流を基準にして、上記デューティ制限信号のパルス幅を決定する第 2 のパルス生成手段とを備えていることを特徴とする請求項 4 記載のスイッチング電源回路。

【請求項 6】

上記第 1 および第 2 のパルス生成手段は、それぞれが基準とする定電流量とそれぞれに設けられたコンデンサの静電容量とによって、それぞれのパルス幅を決定することを特徴とする請求項 5 記載のスイッチング電源回路。

【請求項 7】

上記第 1 および第 2 のパルス生成手段は、コンデンサと、それぞれが基準とする定電流をそれぞれのコンデンサへ充電し始めてから、当該コンデンサの両端電圧が予め定めるしきい値に到達するまでの時間をアクティブまたはインアクティブの期間とするように、オフドライブ制御信号あるいはデューティ制限信号を制御する信号生成回路とを備えていることを特徴とする請求項 5 記載のスイッチング電源回路。

【請求項 8】

上記第 1 および第 2 の定電流は、互いに同じ電流量であり、

上記両パルス生成手段のコンデンサの静電容量は、互いに異なる値に設定されていることを特徴とする請求項 6 または 7 記載のスイッチング電源回路。

【請求項 9】

上記第 1 および第 2 の定電流は、互いに異なる電流量であり、
上記両パルス生成手段のコンデンサの静電容量は、互いに同じ値に設定されていることを特徴とする請求項 6 または 7 記載のスイッチング電源回路。

【請求項 1 0】

上記基準定電流源は、抵抗と、当該抵抗の両端電圧が、トランジスタのベース-エミッタ間電圧のしきい値になるように、上記抵抗に流れる電流量を制御する電流制御手段と、上記基準となる定電流として、上記抵抗に流れる電流量に応じた電流量の電流を出力する電流出力手段とを備えていることを特徴とする請求項 6 または 7 記載のスイッチング電源回路。

【請求項 1 1】

請求項 1 ないし 1 0 のいずれか 1 項に記載のスイッチング電源回路を備えていることを特徴とする電子機器。

【発明の詳細な説明】**【0 0 0 1】****【発明の属する技術分野】**

本発明は、スイッチング電源回路、および、それを用いた電子機器に関するものである。

【0 0 0 2】**【従来の技術】**

入力された電力を断続した後、平滑化して負荷へ供給するスイッチング電源回路は、リニアレギュレータと比較して、高効率で小型な回路で実現しやすいため、従来から、例えば、車載機器（カーオーディオなど）、液晶テレビ、あるいは、パーソナルコンピュータの周辺機器などの電源回路として広く用いられている。

【0 0 0 3】

図 1 3 に示すように、上記スイッチング電源回路 1 0 1 において、入力電圧 V_{in} は、スイッチング素子 1 1 1 によって断続された後、平滑回路 1 1 2 によって平滑化され、出力電圧 V_{out} として負荷 1 0 3 へ出力される（例えば、後述

の特許文献1および2参照)。

【0004】

一方、スイッチング電源回路101の制御回路113において、分圧回路121は、出力電圧 V_{out} を分圧して帰還電圧 V_{adj} を生成し、差動増幅器123が帰還電圧 V_{adj} と基準電圧 V_{ref} との誤差を増幅する。さらに、PWMコンパレータ125は、図14に示すように、差動増幅器123の出力した誤差電圧 V_{err} と三角波 V_{osc} とを比較して、誤差に応じたデューティ比のPWM信号 V_{pwm} を生成する。また、ゲート回路127は、PWM信号 V_{pwm} のデューティ比が予め定められた上限値を超えていない場合、PWM信号 V_{pwm} を、そのままドライブ制御信号 V_{drv} として出力する。

【0005】

さらに、ONドライブ回路131は、ドライブ制御信号 V_{drv} がアクティブの期間中動作して、スイッチング素子111のベースに電流を供給する。これにより、スイッチング素子111がオンする(図14中、 $t_{101} \sim t_{102}$ の期間)。一方、OFFドライブ回路132は、ドライブ制御信号 V_{drv} がインアクティブの期間中動作して、スイッチング素子111のベースから電流を引き抜く。これにより、スイッチング素子111がオフされる($t_{102} \sim t_{103}$ の期間)。

【0006】

より詳細には、例えば、図15に示すように、ドライブ制御信号 V_{drv} がアクティブになると、上記ONドライブ回路131において、スイッチSW121がオンして、定電流源I121からの定電流I121が、トランジスタQ121およびQ122からなるカレントミラー回路に入力される。この状態では、当該カレントミラー回路は、当該定電流に相関する電流をスイッチング素子111のベースへ供給する。この結果、スイッチング素子111がオンする。

【0007】

また、ドライブ制御信号 V_{drv} がインアクティブになると、上記スイッチSW121がオフして、定電流源121による上記カレントミラー回路への電流供給が中止される。一方、ドライブ制御信号 V_{drv} がインアクティブになると、

OFFドライブ回路132において、スイッチSW131がオンして、定電流源I131からの定電流I131が、トランジスタQ131およびQ132からなるカレントミラー回路に入力される。この状態では、当該カレントミラー回路は、当該定電流に相関する電流をトランジスタQ130のベースへ供給し、当該トランジスタQ130が、スイッチング素子111のベースから電流を引き抜く。これにより、スイッチング素子111がオフする。

【0008】**【特許文献1】**

特開平7-288974号公報（公開日：1995年10月31日）

【0009】**【特許文献1】**

特開平8-214541号公報（公開日：1996年8月20日）

【0010】**【発明が解決しようとする課題】**

ここで、スイッチング電源回路においては、電源変換効率向上は、最も重要な課題の一つであり、近年では、バッテリーで駆動可能な携帯型の電子機器の広範囲な普及、あるいは、環境問題への関心の高まりに伴って、さらなる電源変換効率の向上が強く求められているが、上記構成のスイッチング電源回路における電源変換効率向上は、必ずしも充分であるとは言えず、未だ改善の余地を残している。

【0011】

本発明は、上記した課題に鑑み、スイッチング電源回路の正常動作に必要なオフドライブ回路の動作期間を考察した結果なされたものであって、その目的は、電源変換効率の高いスイッチング電源回路、および、それを用いた電子機器を実現することにある。

【0012】**【課題を解決するための手段】**

本発明に係るスイッチング電源回路は、上記課題を解決するために、スイッチング素子をオンさせるためのオンドライブ電流を生成するオンドライブ回路と、

上記スイッチング素子をオフさせるためのオフドライブ電流を生成するオフドライブ回路と、上記両ドライブ回路を制御して、出力電圧が予め定められた値になるように、上記スイッチング素子のデューティ比を調整する制御手段とを有するスイッチング電源回路において、上記スイッチング素子のオフ期間の開始と共に上記オフドライブ回路の動作を開始させると共に、スイッチング素子のオフ期間の終了時点よりも早い時点で、上記オフドライブ回路の動作を停止させるオフドライブ制御手段を備えていることを特徴としている。

【0013】

上記構成において、オンドライブ回路は、制御手段の指示に応じてオンドライブ電流を生成し、スイッチング素子をオンする。一方、オフドライブ回路は、制御手段の指示に応じてオフドライブ電流を生成し、スイッチング素子をオフする。ここで、制御手段は、オンおよびオフドライブ回路を制御して、スイッチング素子を断続する際、デューティ比を調整して、出力電圧が予め定められた値になるように制御している。これにより、スイッチング電源回路は、入力電圧の変動や負荷の変動に拘わらず、予め定められた電圧を、負荷へ安定して供給できる。

【0014】

さらに、オフドライブ制御手段は、例えば、制御手段がオフドライブ回路へ動作を指示するパルス信号（オフドライブ制御信号）のパルス幅を短くするなどして、上記スイッチング素子のオフ期間の開始と共に上記オフドライブ回路の動作を開始させると共に、スイッチング素子のオフ期間の終了時点よりも早い時点で、上記オフドライブ回路の動作を停止させる。

【0015】

上記構成では、オフドライブ回路は、スイッチング素子のオフ期間の開始と共に動作するので、何ら支障なく、スイッチング素子をオフできる。また、オフドライブ回路は、スイッチング素子のオフ期間の終了時点よりも早い時点で動作を停止するので、オフ期間中動作して、オフドライブ電流を生成し続ける構成よりも、オフドライブ電流の平均値を削減でき、消費電力を削減できる。なお、オフドライブ回路が停止している間、オフドライブ電流は生成されていないが、スイッチング素子は、オフドライブ回路の動作期間中に既に遮断されているので、ス

スイッチング素子は、何ら支障なく、残余のオフ期間中、すなわち、オンドライブ回路が動作を再開するまでの間、遮断し続けることができる。

【0016】

これらの結果、オフドライブ回路がスイッチング素子のオフ期間中動作し続ける構成に比べて、電源変換効率が高いスイッチング電源回路を実現することができる。

【0017】

また、上記構成に加えて、上記オフドライブ回路は、定電流源と、当該定電流源が出力する電流に 관련된電流を上記オフドライブ電流として、上記スイッチング素子の制御端子に供給、あるいは、当該制御端子から引き抜くカレントミラー回路と、上記オフドライブ制御手段が動作停止を指示している間、上記定電流源による電流出力を停止させる停止手段とを備えていてもよい。

【0018】

当該構成では、スイッチング素子の制御端子へオフドライブ電流を供給、あるいは、オフドライブ電流を当該制御端子から引き抜くために、カレントミラー回路が用いられており、オフドライブ回路には、オフドライブ電流の流路とは別に、定電流源が出力する電流の流路が形成されている。したがって、オフドライブ回路がスイッチング素子のオフ期間中動作し続けると、オフドライブ回路は、オフドライブ電流だけではなく、定電流源が出力する電流も消費してしまう。ところが、上記構成では、停止手段が設けられており、上記オフドライブ制御手段が動作停止を指示している間、上記定電流源による電流出力を停止させる。この結果、カレントミラー回路が用いられているにも拘わらず、電源変換効率の高いスイッチング電源回路を実現できる。

【0019】

また、上記構成に加えて、定電流源と、当該定電流源が出力する電流に 관련된電流を出力するカレントミラー回路と、当該カレントミラー回路の出力電流を増幅した電流を上記オフドライブ電流として、上記スイッチング素子の制御端子に供給、あるいは、当該制御端子から引き抜く電流増幅手段と、上記オフドライブ制御手段が動作停止を指示している間、上記定電流源による電流出力を停止さ

せる停止手段とを備えていてもよい。

【0020】

当該構成では、上述の停止手段を有する構成と同様に、停止手段が設けられており、上記オフドライブ制御手段が動作停止を指示している間、上記定電流源による電流出力を停止させる。したがって、カレントミラー回路が用いられているにも拘わらず、電源変換効率の高いスイッチング電源回路を実現できる。さらに、当該構成では、電流増幅手段が設けられているので、スイッチング素子の制御端子へ供給、あるいは、制御端子から引き抜く電流量を増加させることができる。この結果、電流増幅手段を持たない構成に比べて、スイッチング素子の蓄積時間・降下時間を短くすることができ、電源変換効率をさらに向上できる。

【0021】

さらに、上記各構成に加えて、上記オフドライブ制御手段は、上記スイッチング素子のデューティ比の上限を決めるためのデューティ制限信号を上記制御回路へ出力すると共に、当該デューティ制限信号は、デューティ比が上限値である場合の上記スイッチング素子のオフ期間が、上記オフドライブ回路の動作期間よりも長くなるように設定されていてもよい。

【0022】

当該構成では、当該デューティ制限信号は、例えば、パルス幅の設定などによって、デューティ比が上限値である場合の上記スイッチング素子のオフ期間が、上記オフドライブ回路の動作期間よりも長くなるように設定されている。したがって、オフドライブ回路の動作期間は、入力電圧や負荷の状態に拘わらず、常に、スイッチング素子のオフ期間よりも短くなる。

【0023】

また、上記オフドライブ制御手段は、オフドライブ回路の動作期間を制御すると共に、デューティ制限信号を生成している。したがって、オフドライブ制御手段とは独立した回路がデューティ制限信号を生成する構成と異なり、例えば、製造バラツキや周囲温度の変化などによって、オフドライブ回路の動作期間が設計値から外れた値になったとしても、デューティ比が上限値である場合の上記スイッチング素子のオフ期間も、同様の傾向で設計値から外れた値になる。

【0024】

これらの結果、オフドライブ回路の動作期間を、スイッチング素子のオフ期間よりも短くでき、スイッチング素子のオン期間と重ならないように設定できる。したがって、デューティ比が上限値になっている場合でも、スイッチング素子を確実にオフ可能で、かつ、電源変換効率の高いスイッチング電源回路を実現できる。

【0025】

また、上記構成に加えて、上記オフドライブ制御手段は、基準となる定電流を生成する基準定電流源と、当該基準電流源の出力する定電流に 관련된 第1および第2の定電流を生成する、定電流生成用のカレントミラー回路と、上記第1の定電流を基準にして、上記オフドライブ回路の動作期間を示すオフドライブ制御信号のパルス幅を決定する第1のパルス生成手段と、上記第1の定電流を基準にして、上記デューティ制限信号のパルス幅を決定する第2のパルス生成手段とを備えていてもよい。

【0026】

当該構成では、オフドライブ制御信号のパルス幅を決定する第1のパルス生成手段と、デューティ制限信号のパルス幅を決定する第2のパルス生成手段との双方は、基準定電流源が生成した定電流に 관련된 ある定電流（第1または第2の定電流）を基準にして、それぞれのパルス幅を決定している。したがって、例えば、製造バラツキや周囲温度の変化などによって、オフドライブ回路の動作期間が設計値から外れた値になったとしても、デューティ比が上限値である場合の上記スイッチング素子のオフ期間も、同様の傾向で設計値から外れた値になる。この結果、デューティ比が上限値になっている場合でも、スイッチング素子を確実にオフ可能で、かつ、電源変換効率の高いスイッチング電源回路を実現できる。

【0027】

さらに、上記構成に加えて、上記第1および第2のパルス生成手段は、それぞれが基準とする定電流量とそれぞれに設けられたコンデンサの静電容量とによって、それぞれのパルス幅を決定してもよい。

【0028】

また、上記構成に加えて、上記第1および第2のパルス生成手段は、コンデンサと、それぞれが基準とする定電流をそれぞれのコンデンサへ充電し始めてから、当該コンデンサの両端電圧が予め定めるしきい値に到達するまでの時間をアクティブまたはインアクティブの期間とするように、オフドライブ制御信号あるいはデューティ制限信号を制御する信号生成回路とを備えていてもよい。

【0029】

ここで、上記各構成に加えて、上記第1および第2の定電流は、互いに同じ電流量であり、上記両パルス生成手段のコンデンサの静電容量は、互いに異なる値に設定されていてもよいし、上記第1および第2の定電流は、互いに異なる電流量であり、上記両パルス生成手段のコンデンサの静電容量は、互いに同じ値に設定されていてもよい。

【0030】

これらの構成では、上記第1および第2のパルス生成手段は、それぞれが基準とする定電流量とそれぞれに設けられたコンデンサの静電容量とによって、それぞれのパルス幅が決定される。したがって、それぞれの定電流量と、それぞれの静電容量との少なくとも一方を互いに異ならせることによって、それぞれのパルス幅を設定できる。また、製造バラツキや周囲温度の変化などが発生しても、それぞれの定電流量と、それぞれの静電容量とは、互いに相関を持って変化する。これらの結果、デューティ比が上限値になっている場合でも、スイッチング素子を確実にオフ可能で、かつ、電源変換効率の高いスイッチング電源回路を実現できる。

【0031】

さらに、上記基準定電流源は、抵抗と、当該抵抗の両端電圧が、トランジスタのベース-エミッタ間電圧のしきい値になるように、上記抵抗に流れる電流量を制御する電流制御手段と、上記基準となる定電流として、上記抵抗に流れる電流量に応じた電流量の電流を出力する電流出力手段とを備えていてもよい。

【0032】

ここで、温度が変化すると、トランジスタのベース-エミッタ間電圧のしきい値 (V_{be}) が変化するので、上記定電流生成用のカレントミラー回路を構成す

るトランジスタの V_{be} も変化してしまう。この結果、基準定電流源が出力する定電流の量が一定であったとしても、当該カレントミラー回路が出力する第1および第2の定電流の量が変化してしまう。

【0033】

ところが、上記構成では、基準定電流源も V_{be} 依存性の定電流源であり、基準定電流源が出力する定電流の量は、トランジスタの V_{be} に応じて変化する。したがって、カレントミラー回路での V_{be} の変化に起因する第1および第2の定電流の量の変化を、基準定電流源の出力電流の変化によって打ち消すことができる。この結果、温度変動に対する上記各信号のパルス幅の変動を抑制できる。

【0034】

また、本発明に係る電子機器は、上記構成のスイッチング電源回路のいずれかを備えていることを特徴としている。したがって、消費電力が少ない電子機器を実現できる。

【0035】

【発明の実施の形態】

〔第1の実施形態〕

本発明の一実施形態について図1ないし図3に基づいて説明すると以下の通りである。すなわち、本実施形態に係るスイッチング電源回路1は、図1に示すように、電源2から入力端子 T_{in} へ印加された電圧 V_{in} を安定化した後、出力端子 T_{out} を介して負荷3へ供給する回路であって、例えば、電子機器へ電力を供給する電源回路、あるいは、汎用の電源回路として好適に用いられている。

【0036】

上記スイッチング電源回路1には、両端子 T_{in} ・ T_{out} 間に配されたスイッチング素子11と、スイッチング素子11の出力電圧 V_o を平滑化して上記出力端子 T_{out} へ供給する平滑化回路12と、出力端子 T_{out} の電圧 V_{out} に基づいて、当該出力電圧 V_{out} が一定の値 V_c になるように、スイッチング素子11のオン期間とオフ期間との割合を制御する制御回路13とが設けられている。

【0037】

本実施形態に係るスイッチング素子 11 は、NPN 型のバイポーラトランジスタから構成されており、制御回路 13 は、当該トランジスタのベースへ電流を供給したり、引き抜いたりすることによって、トランジスタのオン／オフを制御している。

【0038】

また、本実施形態に係る平滑化回路 12 は、例えば、スイッチング素子 11 と上記出力端子 T_{out} との間に配されたコイル L_1 と、コイル L_1 とスイッチング素子 11 との接続点にカソードが接続され、アノードが接地されたダイオード D_1 と、コイル L_1 と出力端子 T_{out} との接続点に一端が接続され、他端が接地されたコンデンサ C_1 とを備えている。また、本実施形態では、入力端子 T_{in} は、コンデンサ C_1 を介して接地されており、入力電圧 V_{in} を平滑化している。

【0039】

一方、制御回路 13 には、抵抗 R_{11} および R_{12} からなり、上記出力電圧 V_{out} を分圧して、帰還電圧 V_{adj} を生成する分圧回路 21 と、予め定められた基準電圧 V_{ref} を生成する基準電圧源 22 と、両電圧 $V_{adj} \cdot V_{ref}$ の差を増幅する差動増幅器 23 と、三角波 V_{osc} を発生する発振器 24 と、差動増幅器 23 の出力する誤差電圧 V_{err} および発振器 24 の出力する三角波 V_{osc} を比較して、誤差電圧 V_{err} に応じたデューティ比の PWM (Pulse Width Modulation) 信号 V_{pwm} を生成する PWM コンパレータ 25 と、発振器 24 の出力信号 V_{osc} に同期し、しかも、予め定められた時間、アクティブになるデューティ制限信号 V_{lim} を生成するデューティ制限信号生成回路 26 と、PWM 信号 V_{pwm} がアクティブ、かつ、デューティ制限信号 V_{lim} がインアクティブであるときのみ、出力をアクティブにするゲート回路 27 と、ゲート回路 27 が出力するドライブ制御信号 V_{drv} のデューティ比で、上記スイッチング素子 11 をオン／オフするドライブ回路 28 とが設けられている。なお、上記各部材 23・25・27 が特許請求の範囲に記載の制御手段に対応する。

【0040】

上記構成において、例えば、入力電圧 V_{in} の低下や負荷 3 の消費電流の増大

などによって、出力電圧 V_{out} が所定の値 V_c よりも低下しようとする、出力電圧 V_{out} の変動に伴って、上記帰還電圧 V_{adj} も基準電圧 V_{ref} より低下しようとする。一方、差動増幅器 23 は、両電圧 $V_{adj} \cdot V_{ref}$ の誤差を増幅しており、出力電圧 V_{out} の微小な変化に即応して、PWMコンパレータ 25 の出力信号 V_{pwm} のデューティ比が大きくなる。これに応じて、ドライブ回路 28 は、スイッチング素子 11 のオン期間の割合を延長し、出力電圧 V_{out} の低下を抑制する。

【0041】

これとは逆に、出力電圧 V_{out} が上昇しようとする、PWMコンパレータ 25 の出力信号 V_{pwm} のデューティ比が小さくなるので、ドライブ回路 28 は、スイッチング素子 11 のオン期間の割合を短くして、出力電圧 V_{out} の増加を抑制する。

【0042】

ここで、差動増幅器 23 が帰還電圧 V_{adj} の変動によって出力電圧 V_{out} の変動を検出する際の精度と、差動増幅器 23 が出力電圧 V_{out} の変動を検出してからドライブ回路 28 が出力電圧 V_{out} の変動を打ち消すようにスイッチング素子 11 のオン期間の割合を制御する際の応答速度とは、入力電圧 V_{in} や負荷 3 の消費電流の変動などに起因する出力電圧 V_{out} の変動が予め定める許容範囲に収まるように、十分高精度かつ高速に設定されている。したがって、スイッチング電源回路 1 は、入力電圧 V_{in} や負荷 3 の消費電流の変動に拘わらず、一定の電圧 V_c を負荷 3 に印加し続けることができる。

【0043】

また、本実施形態に係るドライブ回路 28 には、ドライブ制御信号 V_{drv} がアクティブの間にスイッチング素子 11 のベースへ電流を供給して、スイッチング素子 11 をオンさせる ONドライブ回路 31 と、オフドライブ制御信号 V_{off} が動作を指示している間にスイッチング素子 11 のベースから電流を引き抜いて、スイッチング素子 11 をオフする OFFドライブ回路 32 とに加えて、上記ドライブ制御信号 V_{drv} がインアクティブになった時点から、予め定められた期間、すなわち、ドライブ制御信号 V_{drv} がインアクティブの期間よりも短く

なるように定められた期間にのみ、上記オフドライブ制御信号 V_{off} を動作を示す値に設定するパルス幅制御回路（オフドライブ制御手段）33が設けられている。

【0044】

上記ONドライブ回路31は、例えば、図2に示すように、定電流源 I_{21} と、PNP型のバイポーラトランジスタ Q_{21} および Q_{22} から構成され、定電流源 I_{21} から供給された電流 I_{21} に関連のある電流（例えば、略比例する電流）をオン電流としてスイッチング素子11のベースへ供給するカレントミラー回路と、定電流源 I_{21} による電流供給を開始／停止させるスイッチ（停止手段） SW_{21} とを備えている。

【0045】

より詳細には、上記トランジスタ Q_{21} および Q_{22} のベースは、互いに接続されており、さらに、上記トランジスタ Q_{21} のコレクタに接続されている。また、上記トランジスタ Q_{21} のコレクタは、上記定電流源 I_{21} に接続されており、上記トランジスタ Q_{22} のコレクタは、スイッチング素子11のベースに接続されている。さらに、上記定電流源 I_{21} は、スイッチ SW_{21} を介して接地されている。また、上記スイッチ SW_{21} は、ドライブ制御信号 V_{drv} がアクティブのときにオンし、インアクティブのときにオフする。なお、両トランジスタ Q_{21} ・ Q_{22} のエミッタには、入力端子 T_{in} を介して、入力電圧 V_{in} が印加されており、両トランジスタ Q_{21} ・ Q_{22} のベースには、抵抗 R_{21} を介して、入力電圧 V_{in} が印加されている。

【0046】

同様に、OFFドライブ回路32には、スイッチング素子11のベース－エミッタ間に配されたNPN型のバイポーラトランジスタ（電流増幅手段） Q_{30} と、定電流源 I_{31} と、PNP型のバイポーラトランジスタ Q_{31} および Q_{32} から構成され、定電流源 I_{31} から供給された電流 I_{31} に関連のある電流を上記トランジスタ Q_{30} のベースへ供給するカレントミラー回路と、定電流源 I_{31} による電流供給を開始／停止させるスイッチ（停止手段） SW_{31} とを備えている。

【0047】

より詳細には、トランジスタQ30のコレクタは、スイッチング素子11のベースに接続されており、エミッタは、スイッチング素子11のエミッタに接続されている。なお、他の部材Q31・Q32・I31・SW31・R31の接続は、ONドライブ回路31の各部材Q21・Q22・I21・SW21・R21の接続と略同一である。ただし、トランジスタQ32のコレクタは、トランジスタQ22のコレクタとは異なり、トランジスタQ30のベースに接続されている。また、上記スイッチSW31は、ドライブ制御信号Vdrvに代えて、オフドライブ制御信号Voffに基づいて動作しており、オフドライブ制御信号Voffが動作を指示しているときにオンし、動作停止を指示しているときにオフする。

【0048】

上記OFFドライブ回路32では、スイッチング素子11の蓄積時間および降下時間を短縮するために、ONドライブ回路31とは異なり、カレントミラー回路は、スイッチング素子11を直接駆動せず、カレントスイッチング素子11のベースに接続されたトランジスタQ30を駆動している。したがって、OFFドライブ回路32は、ONドライブ回路31が供給する電流よりも多くの電流（望ましくは数倍程度の電流）をオフ電流としてスイッチング素子11のベースから引き抜くことができる。

【0049】

一例として、定電流I21=2.65[mA]、抵抗R21=1[kΩ]、トランジスタQ21およびQ22のベース-エミッタ間電圧を0.65[V]、トランジスタQ21およびQ22のコレクタ比を1:40とすると、ONドライブ回路31がスイッチング素子11のベースへ供給する電流は、 $(2.65[\text{mA}] - 0.65/1[\text{k}\Omega]) \times 40 = 80[\text{mA}]$ になる。

【0050】

また、定電流I31=3.05[mA]、抵抗R31=1[kΩ]、トランジスタQ31およびQ32のベース-エミッタ間電圧を0.65[V]、トランジスタQ31およびQ32のエミッタ面積比を1:2、トランジスタQ30の $h_{fe} = 50$ とすると、OFFドライブ回路32がスイッチング素子11のベースか

ら引き抜く電流は、 $(3.05 [\text{mA}] - 0.65 / 1 [\text{k}\Omega]) \times 2 \times 50 = 240 [\text{mA}]$ (最大値) となる。

【0051】

上記構成では、図1に示すPWMコンパレータ25は、図3に示すように、差動増幅器23の出力する誤差電圧 V_{err} と、発振器24の出力する三角波 V_{osc} とを比較して、誤差電圧 V_{err} に応じたデューティ比のPWM信号 V_{pwm} を生成している。なお、図3では、一例として、帰還電圧 V_{adj} が基準電圧 V_{ref} よりも低くなるに従って、誤差電圧 V_{err} が高くなる場合を示しており、PWMコンパレータ25は、誤差電圧 V_{err} が三角波 V_{osc} よりも高いときに、PWM信号 V_{pwm} をアクティブにする。また、図3の例では、PWM信号 V_{pwm} は、アクティブ状態のときにハイレベルになっている。

【0052】

ここで、図3の例では、誤差電圧 V_{err} が比較的低く、PWM信号 V_{pwm} のインアクティブ期間が、デューティ制限信号 V_{lim} のアクティブ期間よりも長い場合を例示している。したがって、ゲート回路27は、PWM信号 V_{pwm} と同じデューティ比のドライブ制御信号 V_{drv} を出力する。

【0053】

ドライブ制御信号 V_{drv} がアクティブの期間($t_1 \sim t_2$ の期間)、図2に示すスイッチSW21がオンして、ONドライブ回路31が動作を開始し、スイッチング素子11のベースへ電流を供給する。この結果、スイッチング素子11がオンする。

【0054】

具体的には、スイッチSW21がオンすると、入力端子 T_{in} から、トランジスタQ21、定電流源I21およびスイッチSW21を介して接地レベルへの電流経路が形成されるので、定電流I21がトランジスタQ21を流れる。したがって、両トランジスタQ21・Q22によって形成されるカレントミラー回路が動作を開始して、トランジスタQ22は、トランジスタQ21を流れる定電流I21に相関のある電流をスイッチング素子11のベースへ供給する。これにより、スイッチング素子11がオンする。

【0055】

なお、ドライブ制御信号 V_{drv} がアクティブの期間、オフドライブ制御信号 V_{off} は、動作停止を示しているので、図2に示すスイッチ SW_{31} は、オフしている。したがって、OFFドライブ回路32は、動作を停止しており、スイッチング素子11のベースから電流を引き抜いていない。したがって、ONドライブ回路31は、何ら支障なく、スイッチング素子11をオンさせることができる。

【0056】

これに対して、 t_2 の時点において、ドライブ制御信号 V_{drv} がインアクティブになると、オフドライブ制御信号 V_{off} が動作を示す値（図3の例では、Hレベル）になる。したがって、OFFドライブ回路32は、動作を開始して、スイッチング素子11のベースから電流を引き抜く。

【0057】

具体的には、オフドライブ制御信号 V_{off} が動作を示す値になると、上記スイッチ SW_{31} がオンする。これにより、入力端子 T_{in} から、トランジスタ Q_{31} 、定電流源 I_{31} およびスイッチ SW_{31} を介して接地レベルへの電流経路が形成され、定電流 I_{31} がトランジスタ Q_{31} を流れる。したがって、両トランジスタ $Q_{31} \cdot Q_{32}$ によって形成されるカレントミラー回路が動作を開始して、トランジスタ Q_{32} は、トランジスタ Q_{31} を流れる定電流 I_{31} に関連のある電流を、トランジスタ Q_{30} のベースへ供給する。これにより、トランジスタ Q_{30} がオンして、スイッチング素子11のベースから電流を引き抜く。この結果、スイッチング素子11がオフされる。

【0058】

なお、ドライブ制御信号 V_{drv} がインアクティブの期間（ $t_2 \sim t_3$ の期間）、ONドライブ回路31のスイッチ SW_{21} がオフしているので、ONドライブ回路31は、動作を停止し、スイッチング素子11のベースへの電流供給を停止している。したがって、OFFドライブ回路32は、何ら支障なく、スイッチング素子11をオフできる。

【0059】

ここで、本実施形態に係るスイッチング電源回路 1 では、図 3 に示すように、ドライブ制御信号 V_{drv} がアクティブになる時点よりも早い時点 (t_{11}) において、オフドライブ制御信号 V_{off} が動作停止を示す値になる。この結果、OFF ドライブ回路 32 は、ドライブ制御信号 V_{drv} がインアクティブの期間よりも短い期間で動作を停止し、スイッチング素子 11 のベースから電流を引き抜かなくなる。

【0060】

具体的には、OFF ドライブ回路 32 において、スイッチ SW31 がオフされるので、入力端子 T_{in} から、トランジスタ Q31、定電流源 I31 およびスイッチ SW31 を介して接地レベルへの電流経路が遮断される。これにより、トランジスタ Q31 に電流が流れなくなるので、トランジスタ Q31 および Q32 からなるカレントミラー回路も動作を停止し、トランジスタ Q32 は、トランジスタ Q30 のベースへの電流供給を停止する。この結果、トランジスタ Q30 がオフし、スイッチング素子 11 のベースから電流を引き抜かなくなる。

【0061】

ここで、ドライブ制御信号 V_{drv} がインアクティブであるにも拘わらず、OFF ドライブ回路 32 が動作を停止している期間 ($t_{11} \sim t_3$ の期間) 中は、OFF ドライブ回路 32 において、スイッチ SW31 がオフしているので、定電流源 I31 による上記カレントミラー回路への定電流供給も停止されている。したがって、ドライブ制御信号 V_{drv} がインアクティブの間中 ($t_2 \sim t_3$ の期間中)、OFF ドライブ回路 32 が動作し続け、OFF ドライブ回路 32 の定電流源 I31 が上記カレントミラー回路へ定電流を供給し続ける構成と比較して、スイッチング電源回路 1 の消費電力を削減できる。

【0062】

一方、スイッチング素子 11 は、OFF ドライブ回路 32 が動作している期間 ($t_2 \sim t_{11}$) にベースから十分電流が引き抜かれているので、OFF ドライブ回路 32 が動作を停止した時点 (t_{11}) では、既にオフ状態になっている。したがって、次に ON ドライブ回路 31 が動作を開始してスイッチング素子 11 のベースへ電流を供給し始める時点 (t_3) までの間 ($t_{11} \sim t_3$ の期間)、

スイッチング素子 11 は、何ら支障なく、オフし続けることができる。

【0063】

また、ドライブ制御信号 V_{drv} が再びアクティブになると (t_3 の時点)、上記時点 t_1 と同様に ON ドライブ回路 31 が動作を開始して、スイッチング素子 11 をオンさせる。これにより、スイッチング素子 11 は、ドライブ制御信号 V_{drv} が示すデューティ比でオン／オフされる。

【0064】

このように、本実施形態に係るスイッチング電源回路 1 には、ドライブ制御信号 V_{drv} がインアクティブの期間よりも短い期間、OFF ドライブ回路 32 を動作させるパルス幅制御回路 33 が設けられている。この結果、インアクティブの期間中、OFF ドライブ回路 32 が動作し続け、スイッチング素子 11 のベースから電流を引き抜き続ける構成と比較して、スイッチング素子 11 のベース電流引き抜き電流 (スイッチング素子 11 のベースから電流を引き抜くための電流) を少なくすることができる。したがって、制御回路 13 を流れる電流の平均値 (ドライブ制御信号 V_{drv} がインアクティブの期間全体における平均値) を低減でき、スイッチング電源回路 1 の効率を向上できる。

【0065】

ここで、スイッチング電源回路 1 において、電源変換効率 η は、入力電力を P_{in} 、出力電力を P_{out} とすると、以下の式 (1) に示すように、

$$\eta = P_{out} / P_{in} \quad \dots (1)$$

であり、さらに、スイッチング電源回路 1 での損失を P_l とすると、電源変換効率 η は、以下の式 (2) に示すように、

$$\eta = P_{out} / (P_{out} + P_l) \quad \dots (2)$$

である。

【0066】

また、電源回路損失 P_l は、スイッチング素子 11 の消費電力を P_t 、平滑化回路 12 のダイオード D1 の消費電力を P_d 、回路の抵抗成分による損失を P_e 、制御回路 13 の消費電力を P_q とすると、以下の式 (3) に示すように、

$$P_l = P_q + P_t + P_d + P_e \quad \dots (3)$$

となる。

【0067】

さらに、スイッチング素子消費電力 P_t は、スイッチングロス P_{sw} 、スイッチング素子 11 のオン時の両端電圧および電流を、それぞれ V_{sat} 、 I_{sw} 、デューティ比を D とすると、以下の式 (4) に示すように、

$$P_t = P_{sw} + V_{sat} \times I_{sw} \times D \quad \dots (4)$$

となる。また、ダイオード消費電力 P_d は、ダイオード D1 の順方向電圧を V_F 、ダイオード D1 に流れる電流を I_d とすると、

$$P_d = V_F \times I_d \times (1 - D) \quad \dots (5)$$

となる。

【0068】

ここで、デューティ比 D は、以下の式 (6) に示すように、

$$D = (V_{out} + V_F) / (V_{in} - V_{sat} + V_F) \quad \dots (6)$$

であり、スイッチングロス P_{sw} は、負荷電流を I_{out} 、スイッチング素子 11 の立ち上がり時間および降下時間を、それぞれ t_r 、 t_f 、スイッチング素子 11 のオン／オフの周期を T とすると、以下の式 (7) に示すように、

$$P_{sw} = V_{in} \times I_{out} \times (t_r + t_f) / T \quad \dots (7)$$

である。なお、上記負荷電流 I_{out} は、 $I_{out} = I_{sw} \times D = I_d \times (1 - D)$ である。

【0069】

また、回路抵抗成分による損失 P_e は、端子 T_{in} から T_{out} までの回路における抵抗成分によって発生する損失であって、当該抵抗成分には、配線抵抗およびコイル L_1 の等価直列抵抗成分が含まれる。

【0070】

一方、制御回路 13 の消費電力を P_q は、制御回路 13 の消費電流を I_q とすると、以下の式 (8) に示すように、

$$P_q = I_q \times V_{in} \quad \dots (8)$$

となる。

【0071】

さらに、本実施形態に係る制御回路 13 を、ON ドライブ回路 31 と、OFF ドライブ回路 32 と、その他の回路（例えば、発振器 24 など）とに分類すると、消費電流 I_q の平均値は、以下の式（9）に示すように、

$$I_q = I_{q31} \times D_{31} + I_{q32} \times D_{32} + I_{qoth} \quad \dots (9)$$

となる。なお、上式（9）において、 I_{q31} および I_{q32} は、それぞれ、ON ドライブ回路 31 および OFF ドライブ回路 32 が動作しているときの消費電流を示し、 D_{31} および D_{32} は、それぞれ、ON ドライブ回路 31 および OFF ドライブ回路 32 の動作期間の比率を示している。また、 I_{qoth} は、その他の回路の消費電流である。

【0072】

一例として、 $V_{in} = 40$ [V]、 $V_{out} = 5.0$ [V]、 $I_{out} = 0.50$ [A]、 $V_{sat} = 1.0$ [V]、 $V_F = 0.50$ [V]、 $t_r = t_f = 20$ [ns]、 $T = 10$ [μ s] とすると、上述の式（6）より、デューティ比 $D = 0.14$ となる。また、式（4）および式（7）より、スイッチング素子 11 の消費電力 $P_t = 150$ [mW] となり、式（5）より、ダイオード消費電力 $P_d = 215$ [mW] となる。

【0073】

ここで、比較例として、ドライブ制御信号 V_{drv} がインアクティブの期間中、OFF ドライブ回路 32 が動作し続ける構成では、 $D_{31} = D$ 、 $D_{32} = 1 - D$ なので、両回路 31・32 の回路定数が上述の数値であり、その他の回路の消費電流 $I_{qoth} = 2$ [mA] とすると、制御回路 13 の消費電流 I_q の平均値は、 2.65 [mA] $\times 0.14 + 3.05$ [mA] $\times 0.86 + 2$ [mA] = 5.00 [mA] となる。したがって、制御回路 13 の消費電力 P_q は、 200 [mW] となる。この結果、電源回路損失 P_l は、 $200 + 150 + 215 = 565$ [mW] となる。一方、上述の数値例では、出力電力 $P_{out} = 2.5$ [W] なので、電源変換効率 η は、 81.6% に留まっている。

【0074】

これに対して、本実施形態では、OFF ドライブ回路 32 の動作時間が制限されている。したがって、両回路 31・32 の回路定数、および、その他の回路の

消費電流 $I_{q\ off}$ が、上記比較例と同じであり、オフドライブ制御信号 V_{off} のパルス幅（OFFドライブ回路32の動作を示す期間）が $400\ [ns]$ とすると、制御回路13の消費電流 I_q の平均値は、 $2.65\ [mA] \times 0.14 + 3.05\ [mA] \times 0.04 + 2\ [mA] = 2.493\ [mA]$ となる。この結果、制御回路13の消費電力 P_q は、 $99.72\ [mW]$ にまで削減され、電源変換効率 η は、 $84.3\ \%$ にまで向上されている。

【0075】

ここで、上記オフドライブ制御信号 V_{off} のパルス幅（OFFドライブ回路32の動作を示す期間）は、スイッチング素子11のベース－エミッタ間（後述するFETの場合は、ゲート）に蓄積された電荷を十分引き抜ける時間に設定されている。例えば、ベース－エミッタ間容量が $5\ [pF]$ 、ベース－エミッタ間電圧が $0.8\ [V]$ 、OFFドライブ回路32がスイッチング素子11のベースから引き抜く電流（オフドライブ電流）を $10\ [mA]$ とすると、上記時間は、 $0.8\ [V] \times 500\ [pF] / 10\ [mA] = 40\ [ns]$ となる。したがって、オフドライブ制御信号 V_{off} のパルス幅は、 $40\ [ns]$ 以上に設定される。

【0076】

一方、オフドライブ制御信号 V_{off} のパルス幅が長くなると、上述したように、制御回路13の消費電力 P_q が大きくなるので、効率面から考えると、オフドライブ制御信号 V_{off} のパルス幅は、できるだけ短いことが望まれる。

【0077】

したがって、オフドライブ制御信号 V_{off} のパルス幅は、スイッチング素子11の確実なオフ駆動を阻害せず、しかも、消費電力 P_q を十分に削減可能な値に設定される。例えば、OFFドライブ回路32の動作期間がスイッチング周期に対して数%であれば、OFFドライブ回路32に消費電力の平均値が十分小さく、消費電力 P_q も十分小さくなる。また、一般的には、スイッチング周期の1%程度の期間動作すれば、OFFドライブ回路32は、スイッチング素子11を確実にオフできる。したがって、OFFドライブ回路32の動作期間として、スイッチング周期の1～5%程度の値（上述の数値例 $400\ [ns]$ の場合は、4

%) が好適に用いられる。なお、スイッチング周期が短く、スイッチング素子 11 の確実なオフ駆動を阻害する虞れがある場合は、5% より高い数値に設定してもよい。

【0078】

また、本実施形態では、OFF ドライブ回路 32 が動作している期間が制限されているので、ドライブ制御信号 V_{drv} のインアクティブ期間中、OFF ドライブ回路 32 が動作している構成とは異なり、図 2 に示す抵抗 R_{31} の抵抗値を小さくしても、無駄な電流の時間平均が大きくなるので、抵抗 R_{31} の抵抗値をより小さくできる。したがって、スイッチング素子 11 の動作速度を向上させることができ、スイッチング素子 11 のスイッチングロスを低減できる。この結果、さらに、電源変換効率 η を向上できる。

【0079】

より詳細には、トランジスタ $Q_{31} \cdot Q_{32}$ のベース-エミッタ間容量に蓄積された電荷は、上記抵抗 R_{31} によって放電されるため、抵抗 R_{31} の抵抗値を小さくすれば、当該両トランジスタ $Q_{31} \cdot Q_{32}$ のオフ時間をより短縮できる。一方、抵抗 R_{31} の抵抗値を小さくすると、両トランジスタ $Q_{31} \cdot Q_{32}$ がオンしている間に抵抗 R_{31} を流れる電流が増大するため、OFF ドライブ回路 32 の消費電力が増大してしまう。したがって、ドライブ制御信号 V_{drv} のインアクティブ期間中、OFF ドライブ回路 32 が動作している構成では、抵抗 R_{31} の抵抗値を十分に小さくすることができない。

【0080】

ところが、本実施形態に係るスイッチング電源回路 1 では、パルス幅制御回路 33 によって、OFF ドライブ回路 32 の動作時間は、スイッチング素子 11 のベース-エミッタ間（後述する FET の場合は、ゲート）に蓄積された電荷を十分引き抜ける程度にまで短縮されている。したがって、抵抗 R_{31} の抵抗値をより小さく設定でき、スイッチング電源回路 1 の電源変換効率 η を向上できる。

【0081】

〔第 2 の実施形態〕

本実施形態に係るスイッチング電源回路 1a は、図 4 に示すように、第 1 の実

施形態に係るスイッチング電源回路 1 と略同様の構成であるが、デューティ制限信号生成回路 26 が削除されている。また、当該スイッチング電源回路 1a では、パルス幅制御回路 33 に代えて設けられたパルス幅制御回路 33a が、オフドライブ制御信号 V_{off} よりも長い期間、アクティブになり、しかも、三角波 V_{osc} に同期したデューティ制限信号 V_{lim} を生成している。

【0082】

当該構成では、オフドライブ制御信号 V_{off} を生成するパルス幅制御回路 33a が、デューティ制限信号生成回路 26 の機能を兼ねており、デューティ制限信号 V_{lim} をも生成している。したがって、デューティ制限信号 V_{lim} を生成する回路が、オフドライブ制御信号 V_{off} を生成する回路とは独立して、デューティ制限信号 V_{lim} を生成する構成とは異なり、オフドライブ制御信号 V_{off} のパルス幅を、デューティ制限信号 V_{lim} のパルス幅（アクティブ期間）よりも確実に短くすることができる。

【0083】

ここで、スイッチング素子 11 がオフされている期間の最小値は、デューティ制限信号 V_{lim} のアクティブ期間の長さである。したがって、負荷電流 I_{out} や入力電圧 V_{in} に拘わらず、OFF ドライブ回路 32 が動作する期間を、スイッチング素子 11 がオフされている期間よりも短く設定でき、スイッチング電源回路 1 の消費電力を確実に低減できる。

【0084】

ここで、図 5 は、例えば、短絡状態など、デューティ制限信号 V_{lim} によって、スイッチング素子 11 のオフ時間が決定されている状態を示している。この状態では、PWM 信号 V_{pwm} のパルス幅は、デューティ制限信号 V_{lim} がインアクティブな期間よりも長くなっている。なお、図 5 の例では、PWM 信号 V_{pwm} のデューティ比が 100%（常時アクティブ）の場合を示している。

【0085】

したがって、ドライブ制御信号 V_{drv} のデューティ比は、最大の値、すなわち、（1－デューティ制限信号 V_{lim} のデューティ比）となり、ドライブ制御信号 V_{drv} は、デューティ制限信号 V_{lim} のアクティブ期間にのみ、インア

クティブになっている。

【0086】

このように、ドライブ制御信号 V_{drv} がインアクティブになる時間が最小になっている場合であっても、オフドライブ制御信号 V_{off} のパルス幅は、デューティ制限信号 V_{lim} のパルス幅よりも短くなるように設定されている。

【0087】

したがって、オフ時間が最小になる場合でも、パルス幅制御回路 33a は、スイッチング素子 11 がオフしている期間 ($t_2 \sim t_3$ までの期間) よりも短い期間 ($t_2 \sim t_{11}$ までの期間) だけ、OFF ドライブ回路 32 を動作させることができる。この結果、オフ時間が最小になる場合でも、スイッチング電源回路 1a の消費電力を削減できる。

【0088】

以下では、パルス幅制御回路 33a の構成例について説明する。すなわち、本構成例に係るパルス幅制御回路 33a は、図 6 に示すように、入力される電流によってパルス幅が決定されたオフドライブ制御信号 V_{off} を生成するオフドライブ制御信号生成回路 (第 1 のパルス生成手段) 41 と、入力される電流によってパルス幅が決定されたデューティ制限信号 V_{lim} を生成するデューティ制限信号生成回路 (第 2 のパルス生成手段) 42 と、基準定電流源としての定電流源 I_{41} と、PNP 型のバイポーラトランジスタ $Q_{41} \sim Q_{43}$ からなり、定電流源 I_{41} からの定電流 I_{41} に相関のある電流を、両回路 41・42 へそれぞれ供給するカレントミラー回路とを備えている。

【0089】

なお、上記トランジスタ $Q_{41} \sim Q_{43}$ のベースは、互いに接続されており、さらに、トランジスタ Q_{41} のコレクタと接続されている。また、各トランジスタ $Q_{41} \sim Q_{43}$ のコレクタは、定電流源 I_{41} 、オフドライブ制御信号生成回路 41 およびデューティ制限信号生成回路 42 に、それぞれ接続されている。また、各トランジスタ $Q_{41} \sim Q_{43}$ のエミッタには、抵抗 $R_{41} \sim R_{43}$ をそれぞれ介して、図示しない内部定電圧源から定電圧 V_s が印加されている。

【0090】

当該構成では、トランジスタQ41～Q43によってカレントミラー回路が構成されており、オフドライブ制御信号生成回路41およびデューティ制限信号生成回路42には、互いに相関のある電流が流れる。したがって、スイッチング電源回路1の製造時の製造バラツキや、周囲温度の変化などによって、上記両回路41・42へ供給される電流が設計値から外れた値になり、オフドライブ制御信号Voffおよびデューティ制限信号Vlimのパルス幅が設計値から外れた値になったとしても、それらの変化は、互いに相関を持った変化になる。一方、両回路41・42は、それぞれへ供給される電流によって、それぞれが生成する信号Voff・Vlimのパルス幅を決定している。これらの結果、製造バラツキや周囲温度の変化に拘わらず、オフドライブ制御信号生成回路41は、デューティ制限信号生成回路42によって生成されるデューティ制限信号Vlimのパルス幅よりも短いパルス幅のオフドライブ制御信号Voffを確実に生成できる。

【0091】

上記オフドライブ制御信号生成回路41およびデューティ制限信号生成回路42は、例えば、トリガとなる信号が入力された時点からコンデンサの両端電圧がしきい値を越えるまでの間は、出力を第1の値に保つと共に、定電流をコンデンサへ供給し続け、しきい値を超えてから次にトリガとなる信号が入力されるまでの間は、出力を第2の値に保つ構成によって実現される。なお、当該コンデンサは、しきい値を超えてから次にトリガとなる信号が入力されるまでの間に放電される。

【0092】

より詳細には、例えば、図7に示すように、本構成例に係るオフドライブ制御信号生成回路41は、上記トランジスタQ42から定電流の供給を受けるコンデンサC51を備えている。当該コンデンサC51には、トランジスタQ51が並列に接続されており、当該トランジスタQ51のベースには、入力端子P3を介して、上記トリガとなる信号としてのドライブ制御信号Vdrvが印加されている。本構成例は、ドライブ制御信号Vdrvが高アクティブの場合の構成例であって、上記NPN型のバイポーラトランジスタとしてのトランジスタQ51は、ドライブ制御信号Vdrvのハイレベルからローレベルへの変化をトリガとし

てオフする。したがって、オフドライブ制御信号生成回路 41 では、ドライブ制御信号 V_{drv} のハイレベルからローレベルへの変化（アクティブからインアクティブへの変化）をトリガとして、コンデンサ C51 への定電流の充電が開始される。

【0093】

一方、トランジスタ Q51 とコンデンサ C51 との接続点には、NPN 型のバイポーラトランジスタ（信号生成回路）Q52 のベースが接続されており、当該トランジスタ Q52 のコレクタは、出力端子 P4 として、OFF ドライブ回路 32 に接続されている。なお、コンデンサ C51 の他端（トランジスタ Q51 とは反対側の端部）およびトランジスタ Q51・Q52 のエミッタは、接地されている。

【0094】

また、上記出力端子 P4 には、PNP 型のバイポーラトランジスタ Q44 によって電流が供給されている。なお、本構成例では、トランジスタ Q41 およびトランジスタ Q44 からなるカレントミラー回路によって、定電流源 I41 からの定電流 I41 と相関を持った電流を出力端子 P4 へ供給しているが、出力端子 P4 へ電流を供給できれば、定電流源 I41 と独立した電流源、あるいは、電源ラインと出力端子 P4 との間に設けられた抵抗などによって、定電流 I41 と相関を持たない電流を供給してもよい。

【0095】

さらに、上記出力端子 P4 は、上記トランジスタ Q51 と連動してオン／オフするトランジスタ Q53 を介して接地されている。本構成例に係るトランジスタ Q53 は、NPN 型のバイポーラトランジスタであって、ベースには、ドライブ制御信号 V_{drv} が印加されている。また、出力端子 P4 には、上記トランジスタ Q44 と同様のトランジスタ Q45 によって電流が供給されている。

【0096】

一方、デューティ制限信号生成回路 42 も、上記オフドライブ制御信号生成回路 41 の各部材 Q51～Q53 および C51 と同様に接続された各部材 Q61～Q63 および C61 を備えている。ただし、デューティ制限信号生成回路 42 で

は、出力端子 P 2 は、ゲート回路 27 の負論理入力に接続されており、ハイクタイプのデューティ制限信号 V l i m を出力できる。また、入力端子 P 1 には、上記トリガとなる信号として、三角波 V o s c に同期してハイレベル／ローレベルが変化する矩形波 V r が印加されている。本構成例では、当該矩形波 V r は、三角波 V o s c が最大レベルになった時点で、ハイレベルからローレベルへ変化し、最小レベルになった時点で、ローレベルからハイレベルへ変化しており、上記 N P N 型のバイポーラトランジスタとしてのトランジスタ Q 5 1 は、矩形波 V r のハイレベルからローレベルへの変化をトリガとしてオフする。したがって、デューティ制限信号生成回路 4 2 では、当該変化をトリガとして、コンデンサ C 6 1 への定電流の充電が開始される。

【0097】

また、上記構成例では、オフドライブ制御信号生成回路 4 1 およびデューティ制限信号生成回路 4 2 の抵抗 R 4 2 ・ R 4 3 の抵抗値が互いに同一に設定されており、各トランジスタ Q 4 2 ・ Q 4 3 が互いに同一の素子により実現されている。さらに、コンデンサ C 5 1 の静電容量値は、コンデンサ C 6 1 の静電容量値よりも小さく設定されている。これにより、コンデンサ C 5 1 へ充電する回路の時定数は、コンデンサ C 6 1 へ充電する回路の時定数よりも小さくなる。この結果、オフドライブ制御信号生成回路 4 1 によって生成されるオフドライブ制御信号 V o f f が動作を示す期間は、デューティ制限信号生成回路 4 2 によって生成されるデューティ制限信号 V l i m がアクティブになる期間よりも短く設定されている。

【0098】

上記構成では、図 8 に示すように、矩形波 V r がハイレベルの間（t 4 1 までの期間）、上記デューティ制限信号生成回路 4 2 のトランジスタ Q 6 1 がオンしているので、コンデンサ C 6 1 のトランジスタ Q 4 2 側端部 A 2 の電位 V 6 1 は、ローレベルに保たれている。また、この状態では、トランジスタ Q 6 3 がオンしているので、出力端子 P 2 の電位、すなわち、デューティ制限信号 V l i m は、ローレベルに保たれている。

【0099】

さらに、 t_{41} の時点において、矩形波 V_r がハイレベルからローレベルへ変化すると、上記トランジスタ Q_{63} がオフするので、デューティ制限信号 V_{lim} がハイレベルに変化する。また、上記時点 t_{41} からトランジスタ Q_{61} がオフするので、トランジスタ Q_{43} によるコンデンサ C_{61} への充電が開始される。したがって、時点 t_{41} から t_{42} までの間、コンデンサ C_{61} の端部 A_2 の電位 V_{61} は、徐々に上昇する。

【0100】

t_{42} の時点において、当該電位 V_{61} が上昇してトランジスタ（信号生成回路） Q_{62} の V_{be} を超えると、トランジスタ Q_{62} がオンする。これにより、デューティ制限信号 V_{lim} は、ローレベルへと変化する。

【0101】

また、 t_{43} の時点において、矩形波 V_r がハイレベルへ変化すると、上記トランジスタ Q_{61} および Q_{63} がオンする。これにより、上記コンデンサ C_{61} に蓄積された電荷が放電され、上記端部 A_2 の電位 V_{61} がローレベルへと変化する。

【0102】

ここで、デューティ制限信号 V_{lim} がハイレベルの時間 T_2 （アクティブの時間）は、コンデンサ C_{61} への充電に要する時間（ t_{41} から t_{42} までの時間）であり、トランジスタ Q_{43} に流れる電流 I_{43} と、コンデンサ C_{61} の静電容量値 C_{61} とによって決定される。

【0103】

例えば、 $I_{43} = 10 [\mu A]$ 、 $C_{61} = 10 [pF]$ 、トランジスタ Q_{62} の V_{be} を $0.65 [V]$ とすると、上記時間 T_2 は、

$$T_2 = V_{be} \times C_{61} / I_{43} \quad \dots (10)$$

より、 $T_2 = 650 [ns]$ となる。なお、本構成例では、定電流源 I_{41} の電流値を $10 [\mu A]$ に設定し、トランジスタ Q_{41} および Q_{43} を互いに同一の素子で構成すると共に、抵抗 R_{41} および R_{43} の抵抗値を、それぞれ $1 [k\Omega]$ に設定して、 $I_{43} = 10 [\mu A]$ に設定している。

【0104】

同様に、オフドライブ制御信号生成回路 41 においては、図 9 に示すように、ドライブ制御信号 V_{drv} がアクティブの間 (t_{51} までの間)、トランジスタ $Q_{51} \cdot Q_{53}$ がオンして、出力端子 P_4 の電位、すなわち、ハイアクティブのオフドライブ制御信号 V_{off} がローレベルになる。

【0105】

さらに、 t_{51} の時点において、ドライブ制御信号 V_{drv} がインアクティブに変化すると、上記トランジスタ Q_{53} がオフするので、オフドライブ制御信号 V_{off} がハイレベル (アクティブ) に変化する。また、上記時点 t_{51} からトランジスタ Q_{51} がオフするので、トランジスタ Q_{42} によるコンデンサ C_{51} への充電が開始される。したがって、時点 t_{51} から t_{52} までの間、コンデンサ C_{51} の端部 A_1 の電位 V_{51} は、徐々に上昇する。

【0106】

t_{52} の時点において、当該電位 V_{51} が上昇してトランジスタ Q_{52} の V_{be} を超えると、トランジスタ Q_{52} がオンする。これにより、出力端子 P_4 の電位がローレベルへと変化して、オフドライブ制御信号 V_{off} がインアクティブになる。

【0107】

また、 t_{53} の時点において、ドライブ制御信号 V_{drv} がアクティブに変化すると、上記トランジスタ Q_{51} および Q_{53} がオンする。これにより、上記コンデンサ C_{51} に蓄積された電荷が放電され、上記端部 A_1 の電位 V_{51} がローレベルへと変化する。

【0108】

当該オフドライブ制御信号生成回路 41 でも、オフドライブ制御信号 V_{off} がハイレベルの時間 T_1 (アクティブの時間) は、コンデンサ C_{51} への充電に要する時間 (t_{51} から t_{52} までの時間) であり、トランジスタ Q_{42} に流れる電流 I_{42} と、コンデンサ C_{51} の静電容量値 C_{51} とによって決定される。

【0109】

例えば、 $I_{42} = 10 [\mu A]$ 、 $C_{51} = 5 [pF]$ 、トランジスタ Q_{52} の V_{be} を $0.65 [V]$ とすると、上記時間 T_1 は、

$$T1 = V_{be} \times C51 / I42 \quad \dots (11)$$

より、 $T1 = 325$ [ns] となる。なお、本構成例では、トランジスタ Q41 および Q42 を互いに同一の素子で構成すると共に、抵抗 R41 および R42 の抵抗値を、それぞれ 1 [k Ω] に設定して、 $I42 = 10$ [μ A] に設定している。

【0110】

このように、上記構成例では、コンデンサ C51・C61 へ供給する電流量を互いに同一に設定すると共に、コンデンサ C51 の静電容量値をコンデンサ C61 よりも小さく設定することによって、オフドライブ制御信号生成回路 41 によって生成されるオフドライブ制御信号 Voff が動作を示す期間 T1 は、デューティ制限信号生成回路 42 によって生成されるデューティ制限信号 Vlim がアクティブの期間 T2 よりも短く設定されている。

【0111】

ところで、上記では、両回路 41・42 へ供給する定電流 ($I42 \cdot I43$) を互いに同一量に設定すると共に、それぞれのコンデンサ (C51 または C61) の静電容量値を互いに異なる値に設定することによって、上記期間 T1 を期間 T2 よりも短く設定する場合について説明したが、これに限るものではない。

【0112】

これとは逆に、上記両コンデンサ C51・C61 の静電容量値を互いに同一に設定すると共に、上記定電流 $I42$ を $I43$ よりも大きい値に設定することによって、上記期間 T1 を期間 T2 よりも短く設定してもよい。

【0113】

例えば、上記定電流 $I42 \cdot I43$ は、抵抗 R42・R43 の抵抗値を異なる値に設定して、トランジスタ Q42・Q43 のコレクタ比を変更すれば、上記定電流 $I42$ を $I43$ と異なる値に設定できる。

【0114】

一例として、抵抗 R41 および R43 の抵抗値を、 1 [k Ω]、抵抗 R42 の抵抗値を 2 [k Ω] に設定すると共に、トランジスタ Q41、Q42 および Q43 のコレクタ比 (Q41 : Q42 : Q43) を、 $1 : 2 : 1$ に設定する。この場

合、定電流 $I_{41} = 10 [\mu A]$ とすると、上記両定電流 I_{42} および I_{43} は、それぞれ、 $20 [\mu A]$ および $10 [\mu A]$ になる。したがって、両コンデンサ C_{51} および C_{61} の静電容量値が $10 [pF]$ と互いに同じ値に設定されていても、オフドライブ制御信号生成回路 41 によって生成されるオフドライブ制御信号 V_{off} が動作を示す期間 T_1 およびデューティ制限信号生成回路 42 によって生成されるデューティ制限信号 V_{lim} がアクティブの期間 T_2 は、それぞれ、 $325 [\mu s]$ および $650 [\mu s]$ となり、期間 T_1 は、期間 T_2 よりも短く設定される。

【0115】

ところで、上記定電流源 I_{41} からの定電流 I_{41} は、トランジスタ $Q_{41} \sim Q_{43}$ からなるカレントミラー回路によって、オフドライブ制御信号生成回路 41 およびデューティ制限信号生成回路 42 に供給される。したがって、定電流源 I_{41} が温度依存性を持たない場合は、温度の変化によって、トランジスタ $Q_{41} \sim Q_{43}$ の V_{be} が変化すると、両回路 41・42 へそれぞれ供給される電流 $I_{42} \cdot I_{43}$ が変化してしまう。

【0116】

これに対して、本構成例に係る定電流源 I_{41} は、トランジスタの V_{be} を基準にして定電流 I_{41} を生成しており、トランジスタの V_{be} の変化に応じて定電流 I_{41} が変化して、トランジスタ $Q_{41} \sim Q_{43}$ の V_{be} の変化に起因する電流 $I_{42} \cdot I_{43}$ の変動を打ち消すように構成されている。

【0117】

具体的には、図 10 に示すように、定電流源 I_{41} は、NPN 型のバイポーラトランジスタ Q_{71} と、当該トランジスタ Q_{71} のベースーエミッタ間に配された抵抗 R_{71} とを備えている。上記トランジスタ Q_{71} のコレクタには、抵抗 R_{72} を介して、上述の内部定電圧 V_s が印加されている。さらに、上記トランジスタ Q_{71} と抵抗 R_{72} との接続点には、NPN 型のバイポーラトランジスタ（電流出力手段） Q_{72} のベースが接続されており、当該トランジスタ Q_{72} のエミッタは、上記抵抗 R_{71} の両端のうち、トランジスタ Q_{71} のベース側の一端に接続されている。また、当該トランジスタ Q_{72} のコレクタは、出力端として

、上記カレントミラー回路を構成するトランジスタQ41のコレクタに接続されている。

【0118】

当該構成では、抵抗R71を流れる電流I41が増加して、トランジスタQ71のVbeを超えると、トランジスタQ71がオンする。これにより、トランジスタQ72のベース電位が低下して、電流I41が減少する。これとは逆に、抵抗R71を流れる電流I41が減少して、トランジスタQ71のVbeを下回ると、トランジスタQ71がオフされる。これにより、トランジスタQ71のベース電位が上昇して、電流I41が増加する。したがって、上記定電流I41は、抵抗R71の両端電圧がトランジスタQ71のVbeとなるように制御され、以下の式(12)に示すように、

$$I41 = Vbe / R71 \quad \dots (12)$$

となる。

【0119】

ここで、上記各構成例では、両定電流I42・I43は、I41に相関を持っており、 $I42 = \alpha 1 \times I41$ 、 $I43 = \alpha 2 \times I41$ と表記できる。なお、 $\alpha 1$ および $\alpha 2$ は、それぞれ、抵抗値R41～R43によって決まる定数である。

【0120】

したがって、上述の式(10)および(11)は、それぞれ、以下の式(13)および(14)に示すように、

$$\begin{aligned} T2 &= Vbe \times C61 / (\alpha 2 \times Vbe / R71) \\ &= C61 \times R71 / \alpha 2 \end{aligned} \quad \dots (13)$$

$$\begin{aligned} T1 &= Vbe \times C51 / (\alpha 1 \times Vbe / R71) \\ &= C51 \times R71 / \alpha 1 \end{aligned} \quad \dots (14)$$

となり、上記各期間T1・T2は、トランジスタのVbeに依存しなくなる。この結果、各期間T1・T2の温度変動に対する変動を抑えることができる。

【0121】

なお、上記各実施形態では、スイッチング素子としてのパワートランジスタがNPNのバイポーラトランジスタである場合を例にして説明したが、これに限る

ものではない。

【0122】

例えば、図11に示すように、スイッチング素子11bとして、PNPのバイポーラトランジスタを設けてもよい。この場合は、図2では、ONドライブ回路31を構成していた部材Q21・Q22・I21・SW21・R21が、OFFドライブ回路32bとして動作し、図2では、OFFドライブ回路32を構成していた部材Q30・Q31・Q32・I31・SW31・R31が、ONドライブ回路31bとして動作する。また、これに伴って、スイッチSW21は、オフドライブ制御信号Voffが動作を指示しているときにオンし、スイッチSW31は、ドライブ制御信号Vdrvがアクティブのときにオンする。

【0123】

また、バイポーラトランジスタに代えて、例えば、図12に示すように、パワートランジスタとしてのFET (Field Effect Transistor) をスイッチング素子11cとして用いてもよい。なお、FETは、pチャネルでもnチャネルでもよいが、図12では、一例として、pチャネルの場合を図示している。この場合は、図11と同様のONドライブ回路31bおよびOFFドライブ回路32bが設けられており、OFFドライブ回路32bのトランジスタQ22は、スイッチング素子11cのゲートに電荷を供給して、ゲート電位を上昇させ、スイッチング素子11cをオフする。また、ONドライブ回路31bのトランジスタQ30は、スイッチング素子11cのゲートに蓄積された電荷を引き抜いて、ゲート電位を低下させ、スイッチング素子11cをオンする。

【0124】

これらの場合であっても、OFFドライブ回路32bがスイッチング素子11bのオフ期間よりも短い期間にのみ動作するので、上記各実施形態と同様に、電源変換効率を向上できる。

【0125】

なお、上記では、電子機器へ電力を供給する電源回路、あるいは、汎用の電源回路として用いられる場合を例にして説明したが、上述したように、OFFドライブ回路32の動作時間をスイッチング素子11のオフ期間の一部期間に制限す

ることによって、電源変換効率を向上させているため、小型化・高効率化が強く要求される機器の電源装置として、特に好適に使用できる。

【0126】

このような機器の例としては、例えば、カーオーディオなどの車載機器、液晶テレビ、あるいは、パーソナルコンピュータの周辺機器（CD-ROMドライブなど）が挙げられる。

【0127】

【発明の効果】

本発明に係るスイッチング電源回路は、以上のように、スイッチング素子のオフ期間の開始と共に上記オフドライブ回路の動作を開始させると共に、スイッチング素子のオフ期間の終了時点よりも早い時点で、上記オフドライブ回路の動作を停止させるオフドライブ制御手段を備えている構成である。

【0128】

上記構成では、オフドライブ回路は、スイッチング素子のオフ期間の開始と共に動作するので、何ら支障なく、スイッチング素子をオフできる。また、オフドライブ回路は、スイッチング素子のオフ期間の終了時点よりも早い時点で動作を停止するので、オフ期間中動作して、オフドライブ電流を生成し続ける構成よりも、オフドライブ電流の平均値を削減でき、消費電力を削減できる。これらの結果、オフドライブ回路がスイッチング素子のオフ期間中動作し続ける構成に比べて、電源変換効率が高いスイッチング電源回路を実現することができるという効果を奏する。

【0129】

本発明に係るスイッチング電源回路は、以上のように、上記構成に加えて、上記オフドライブ回路は、定電流源と、当該定電流源が出力する電流に 관련된電流をオフドライブ電流として、上記スイッチング素子の制御端子に供給、あるいは、当該制御端子から引き抜くカレントミラー回路と、上記オフドライブ制御手段が動作停止を指示している間、上記定電流源による電流出力を停止させる停止手段とを備えている構成である。

【0130】

また、本発明に係るスイッチング電源回路は、上記構成に加えて、定電流源と、当該定電流源が出力する電流に 관련된電流を出力するカレントミラー回路と、当該カレントミラー回路の出力電流を増幅した電流をオフドライブ電流として、上記スイッチング素子の制御端子に供給、あるいは、当該制御端子から引き抜く電流増幅手段と、上記オフドライブ制御手段が動作停止を指示している間、上記定電流源による電流出力を停止させる停止手段とを備えている構成である。

【0131】

当該構成では、スイッチング素子の制御端子へオフドライブ電流を供給、あるいは、オフドライブ電流を当該制御端子から引き抜くために、カレントミラー回路が用いられており、オフドライブ回路には、オフドライブ電流の流路とは別に、定電流源が出力する電流の流路が形成されている。したがって、オフドライブ回路がスイッチング素子のオフ期間中動作し続けると、オフドライブ回路は、オフドライブ電流だけではなく、定電流源が出力する電流も消費してしまう。ところが、上記構成では、停止手段が設けられており、上記オフドライブ制御手段が動作停止を指示している間、上記定電流源による電流出力を停止させる。この結果、カレントミラー回路が用いられているにも拘わらず、電源変換効率の高いスイッチング電源回路を実現できるという効果を奏する。

【0132】

また、電流増幅手段を備えた構成では、電流増幅手段を持たない構成に比べて、スイッチング素子の蓄積時間・降下時間を短くすることができ、電源変換効率をさらに向上できるという効果を併せて奏する。

【0133】

本発明に係るスイッチング電源回路は、以上のように、上記各構成に加えて、上記オフドライブ制御手段は、上記スイッチング素子のデューティ比の上限を決めるためのデューティ制限信号を上記制御回路へ出力すると共に、当該デューティ制限信号は、デューティ比が上限値である場合の上記スイッチング素子のオフ期間が、上記オフドライブ回路の動作期間よりも長くなるように設定されている構成である。

【0134】

当該構成では、上記オフドライブ制御手段は、オフドライブ回路の動作期間を制御すると共に、デューティ制限信号を生成している。したがって、オフドライブ制御手段とは独立した回路がデューティ制限信号を生成する構成と異なり、例えば、製造バラツキや周囲温度の変化などによって、オフドライブ回路の動作期間が設計値から外れた値になったとしても、デューティ比が上限値である場合の上記スイッチング素子のオフ期間も、同様の傾向で設計値から外れた値になる。したがって、デューティ比が上限値になっている場合でも、スイッチング素子を確実にオフ可能で、かつ、電源変換効率の高いスイッチング電源回路を実現できるという効果を奏する。

【0135】

本発明に係るスイッチング電源回路は、以上のように、上記構成に加えて、上記オフドライブ制御手段は、基準となる定電流を生成する基準定電流源と、当該基準電流源の出力する定電流に相関した第1および第2の定電流を生成する、定電流生成用のカレントミラー回路と、上記第1の定電流を基準にして、オフドライブ制御信号のパルス幅を決定する第1のパルス生成手段と、上記第1の定電流を基準にして、上記デューティ制限信号のパルス幅を決定する第2のパルス生成手段とを備えている構成である。

【0136】

当該構成では、オフドライブ制御信号のパルス幅を決定する第1のパルス生成手段と、デューティ制限信号のパルス幅を決定する第2のパルス生成手段との双方は、基準定電流源が生成した定電流に相関のある定電流（第1または第2の定電流）を基準にして、それぞれのパルス幅を決定している。したがって、デューティ比が上限値になっている場合でも、スイッチング素子を確実にオフ可能で、かつ、電源変換効率の高いスイッチング電源回路を実現できるという効果を奏する。

【0137】

本発明に係るスイッチング電源回路は、以上のように、上記構成に加えて、上記第1および第2のパルス生成手段は、それぞれが基準とする定電流量とそれぞれに設けられたコンデンサの静電容量とによって、それぞれのパルス幅を決定す

る構成である。

【0 1 3 8】

本発明に係るスイッチング電源回路は、以上のように、上記構成に加えて、上記第 1 および第 2 のパルス生成手段は、コンデンサと、それぞれが基準とする定電流をそれぞれのコンデンサへ充電し始めてから、当該コンデンサの両端電圧が予め定めるしきい値に到達するまでの時間をアクティブまたはインアクティブの期間とするように、オフドライブ制御信号あるいはデューティ制限信号を制御する信号生成回路とを備えている構成である。

【0 1 3 9】

本発明に係るスイッチング電源回路は、以上のように、上記各構成に加えて、上記第 1 および第 2 の定電流は、互いに同じ電流量であり、上記両パルス生成手段のコンデンサの静電容量は、互いに異なる値に設定されていてもよいし、上記第 1 および第 2 の定電流は、互いに異なる電流量であり、上記両パルス生成手段のコンデンサの静電容量は、互いに同じ値に設定されている構成である。

【0 1 4 0】

これらの構成では、上記第 1 および第 2 のパルス生成手段は、それぞれが基準とする定電流量とそれぞれに設けられたコンデンサの静電容量とによって、それぞれのパルス幅が決定される。したがって、それぞれの定電流量と、それぞれの静電容量との少なくとも一方を互いに異ならせることによって、それぞれのパルス幅を設定できる。また、製造バラツキや周囲温度の変化などが発生しても、それぞれの定電流量と、それぞれの静電容量とは、互いに相関を持って変化する。これらの結果、デューティ比が上限値になっている場合でも、スイッチング素子を確実にオフ可能で、かつ、電源変換効率の高いスイッチング電源回路を実現できるという効果を奏する。

【0 1 4 1】

本発明に係るスイッチング電源回路は、以上のように、上記基準定電流源は、抵抗と、当該抵抗の両端電圧が、トランジスタのベース－エミッタ間電圧のしきい値になるように、上記抵抗に流れる電流量を制御する電流制御手段と、上記基準となる定電流として、上記抵抗に流れる電流量に応じた電流量の電流を出力す

る電流出力手段とを備えている構成である。

【0142】

ここで、温度が変化すると、トランジスタのベース－エミッタ間電圧のしきい値（ V_{be} ）が変化するので、上記定電流生成用のカレントミラー回路を構成するトランジスタの V_{be} も変化してしまう。この結果、基準定電流源が出力する定電流の量が一定であったとしても、当該カレントミラー回路が出力する第1および第2の定電流の量が変化してしまう。

【0143】

ところが、上記構成では、基準定電流源も V_{be} 依存性の定電流源であり、基準定電流源が出力する定電流の量は、トランジスタの V_{be} に応じて変化するので、カレントミラー回路での V_{be} の変化に起因する第1および第2の定電流の量の変化を打ち消すことができる。この結果、温度変動に対する上記各信号のパルス幅の変動を抑制できるという効果を奏する。

【0144】

本発明に係る電子機器は、以上のように、上記構成のスイッチング電源回路のいずれかを備えている構成である。それゆえ、消費電力が少ない電子機器を実現できるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明の実施形態を示すものであり、スイッチング電源回路の要部構成を示すブロック図である。

【図2】

上記スイッチング電源回路において、ONドライブ回路およびOFFドライブ回路の要部構成を示す回路図である。

【図3】

上記スイッチング電源回路の動作を示す波形図である。

【図4】

本発明の他の実施形態を示すものであり、スイッチング電源回路の要部構成を示すブロック図である。

【図 5】

上記スイッチング電源回路の動作を示す波形図である。

【図 6】

上記スイッチング電源回路に設けられたパルス幅制御回路の構成例を示すブロック図である。

【図 7】

上記パルス幅制御回路をさらに詳細に示す回路図である。

【図 8】

上記パルス幅制御回路に設けられたデューティ制限信号生成回路の動作を示す波形図である。

【図 9】

上記パルス幅制御回路に設けられたオフドライブ制御信号生成回路の動作を示す波形図である。

【図 1 0】

上記パルス幅制御回路に設けられた定電流源の構成例を示す回路図である。

【図 1 1】

上記スイッチング電源回路の変形例を示す回路図である。

【図 1 2】

上記スイッチング電源回路の他の変形例を示す回路図である。

【図 1 3】

従来技術を示すものであり、スイッチング電源回路の要部構成を示すブロック図である。

【図 1 4】

上記スイッチング電源回路の動作を示す波形図である。

【図 1 5】

上記スイッチング電源回路において、ONドライブ回路およびOFFドライブ回路の要部構成を示す回路図である。

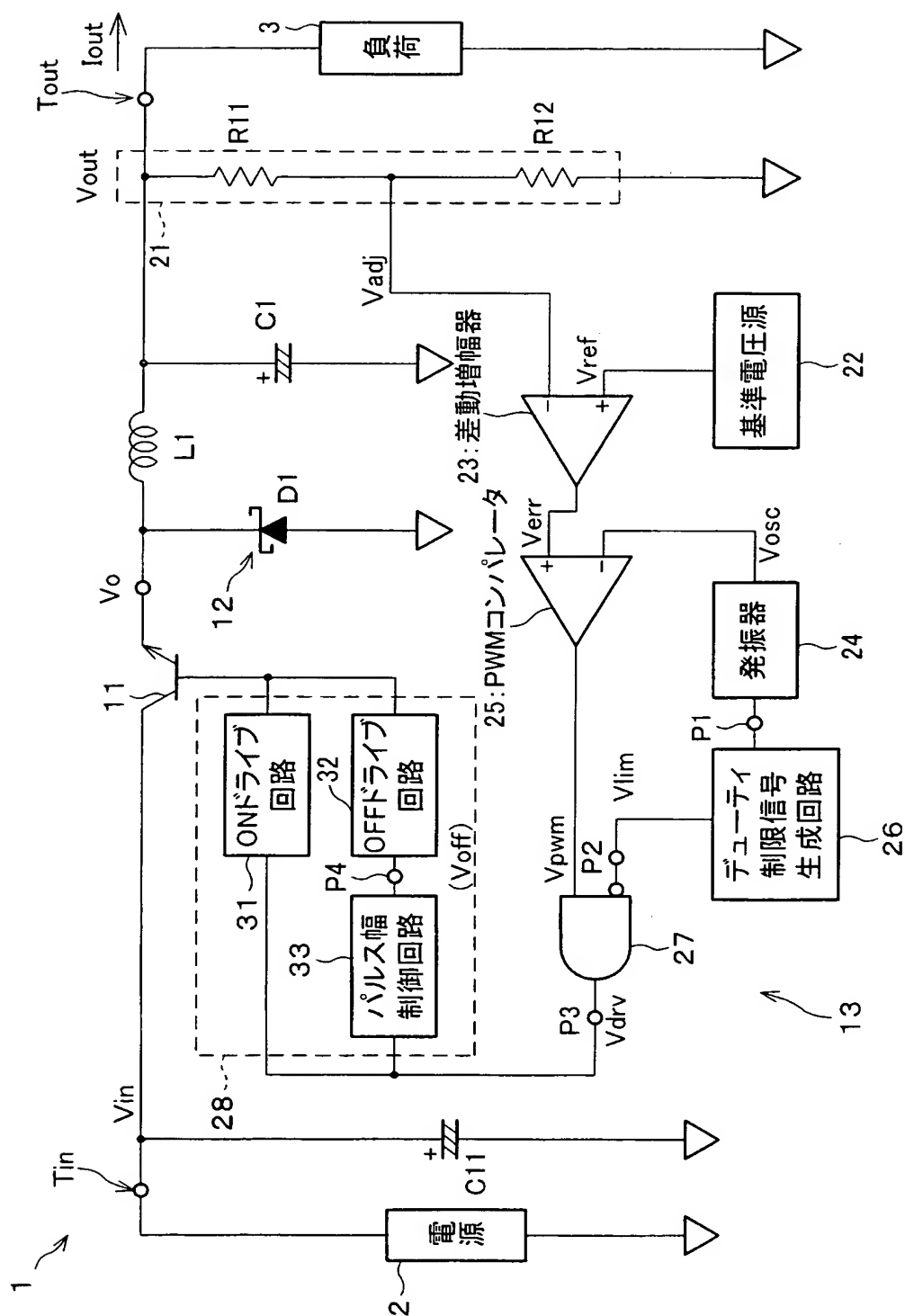
【符号の説明】

1・1 a～1 c スイッチング電源回路

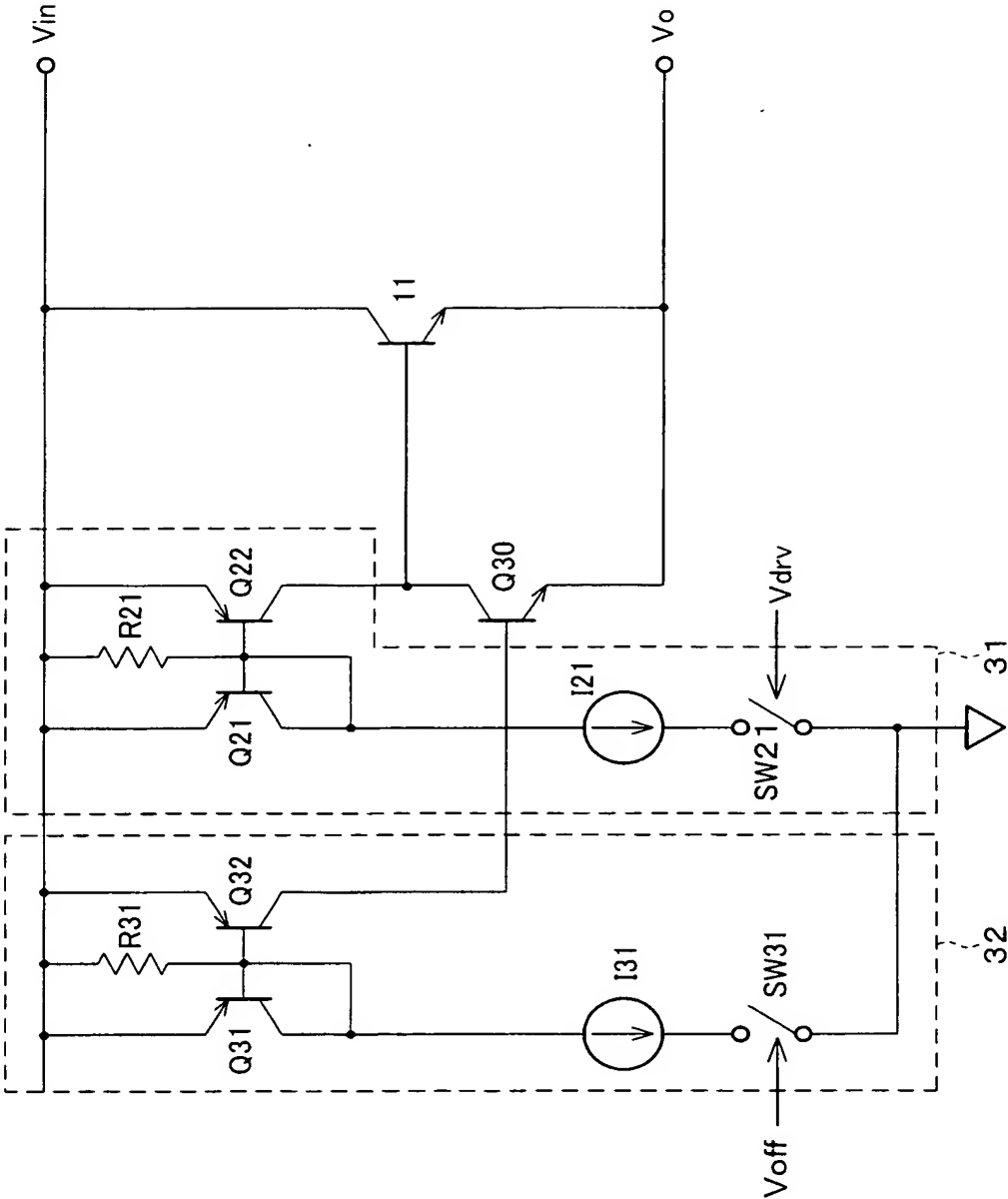
1 1 ・ 1 1 a ～ 1 1 c	スイッチング素子
2 3	差動増幅器（制御手段）
2 5	PWMコンパレータ（制御手段）
2 7	ゲート回路（制御手段）
3 1 ・ 3 1 b	O F F ドライブ回路
3 2 ・ 3 2 b	O F F ドライブ回路
3 3 ・ 3 3 a	パルス幅制御回路（オフドライブ制御手段）
4 1	オフドライブ制御信号生成回路（第 1 のパルス生成手段）
4 2	デューティ制限信号生成回路（第 2 のパルス生成手段）
I 2 1 ・ I 3 1	定電流源
I 4 1	定電流源（基準定電流源）
Q 2 1 ・ Q 2 2	トランジスタ（カレントミラー回路）
Q 3 1 ・ Q 3 2	トランジスタ（カレントミラー回路）
Q 3 0	トランジスタ（電流増幅手段）
Q 4 1 ～ Q 4 3	トランジスタ（定電流生成用のカレントミラー回路）
SW 2 1 ・ SW 3 1	スイッチ（停止手段）
V d r v	オフドライブ制御信号
V l i m	デューティ制限信号
C 5 1 ・ C 6 1	コンデンサ
Q 5 2 ・ Q 6 2	トランジスタ（信号生成回路）
R 7 1	抵抗
Q 7 2	トランジスタ（電流出力手段）

【書類名】 図面

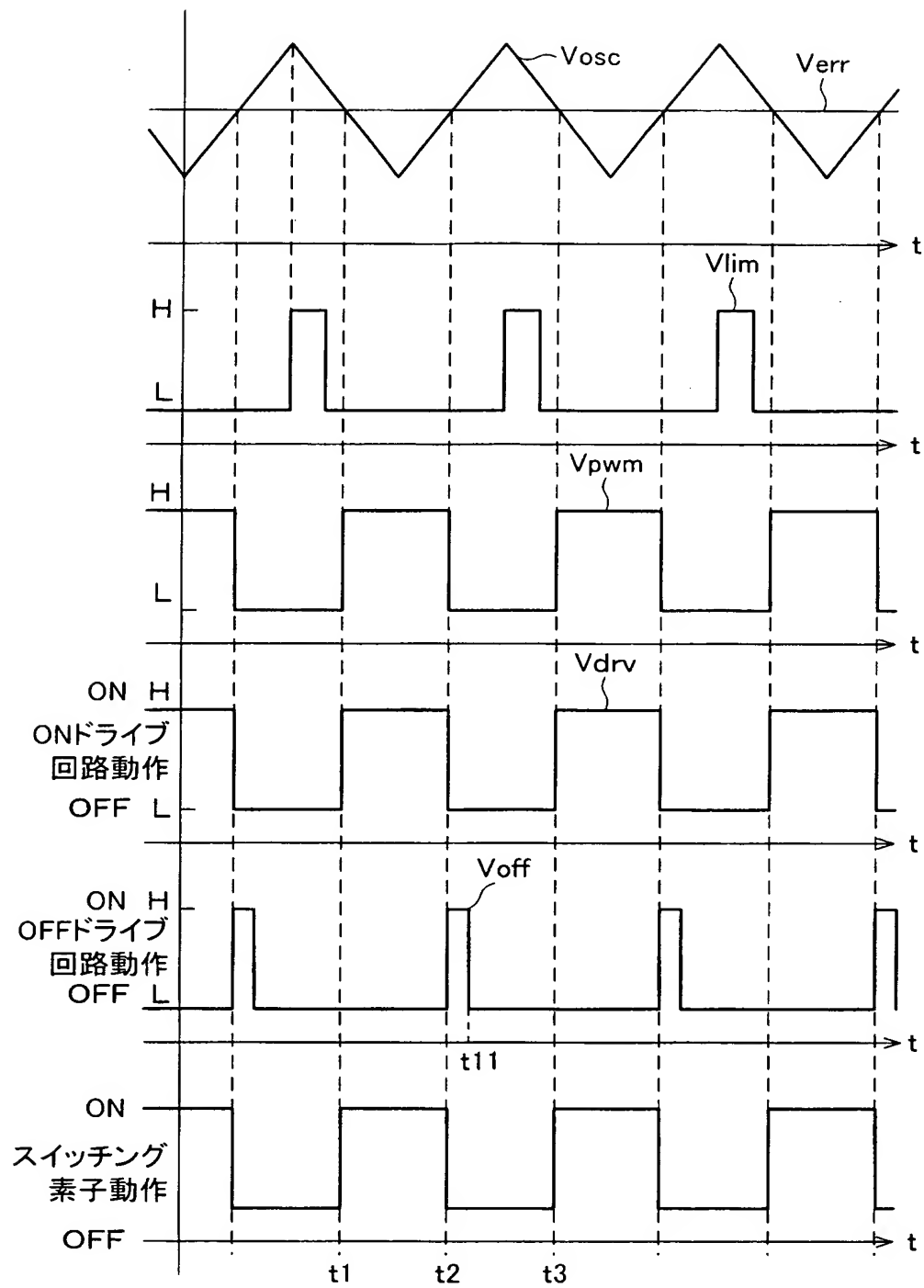
【図 1】



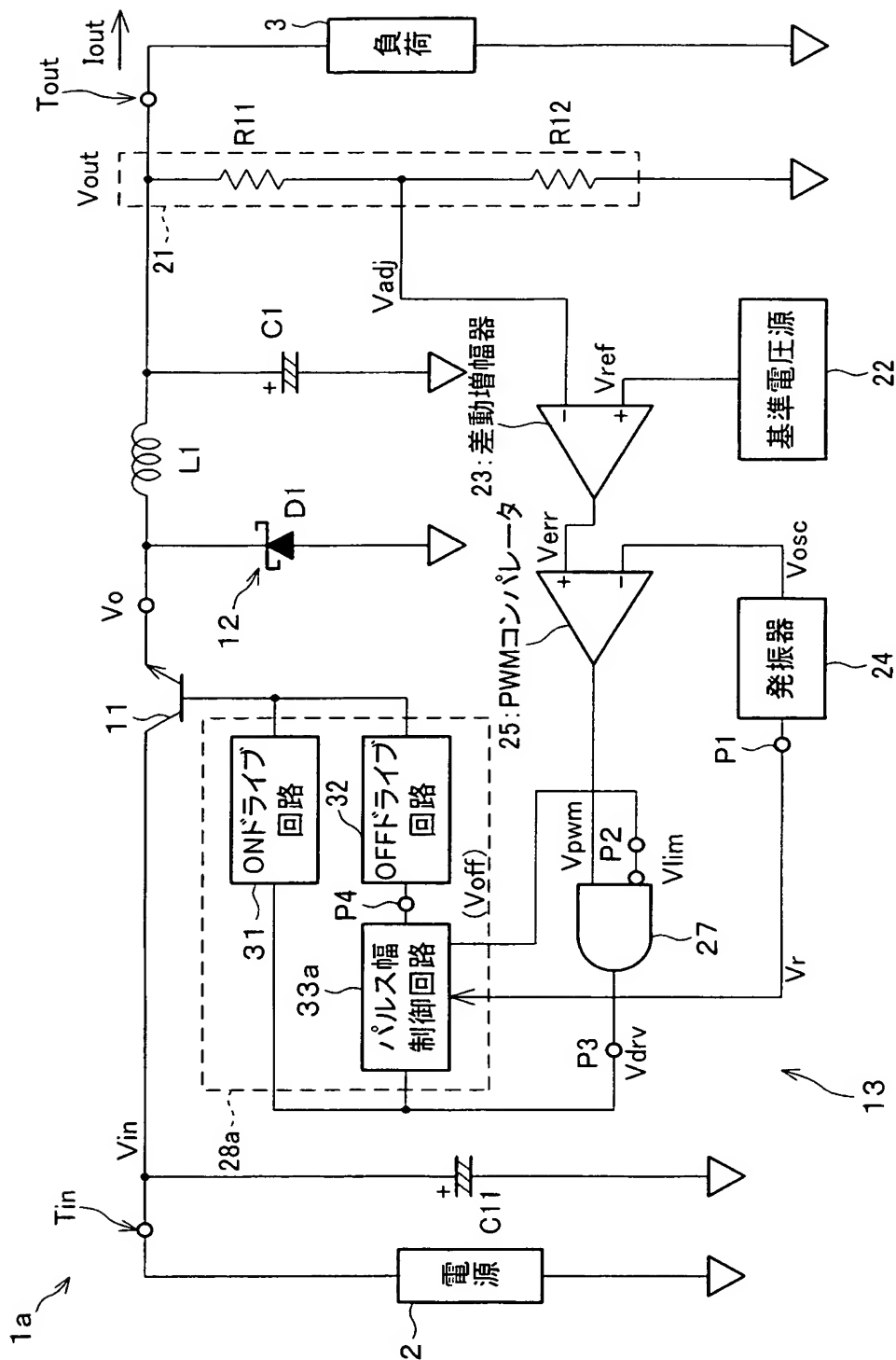
【図 2】



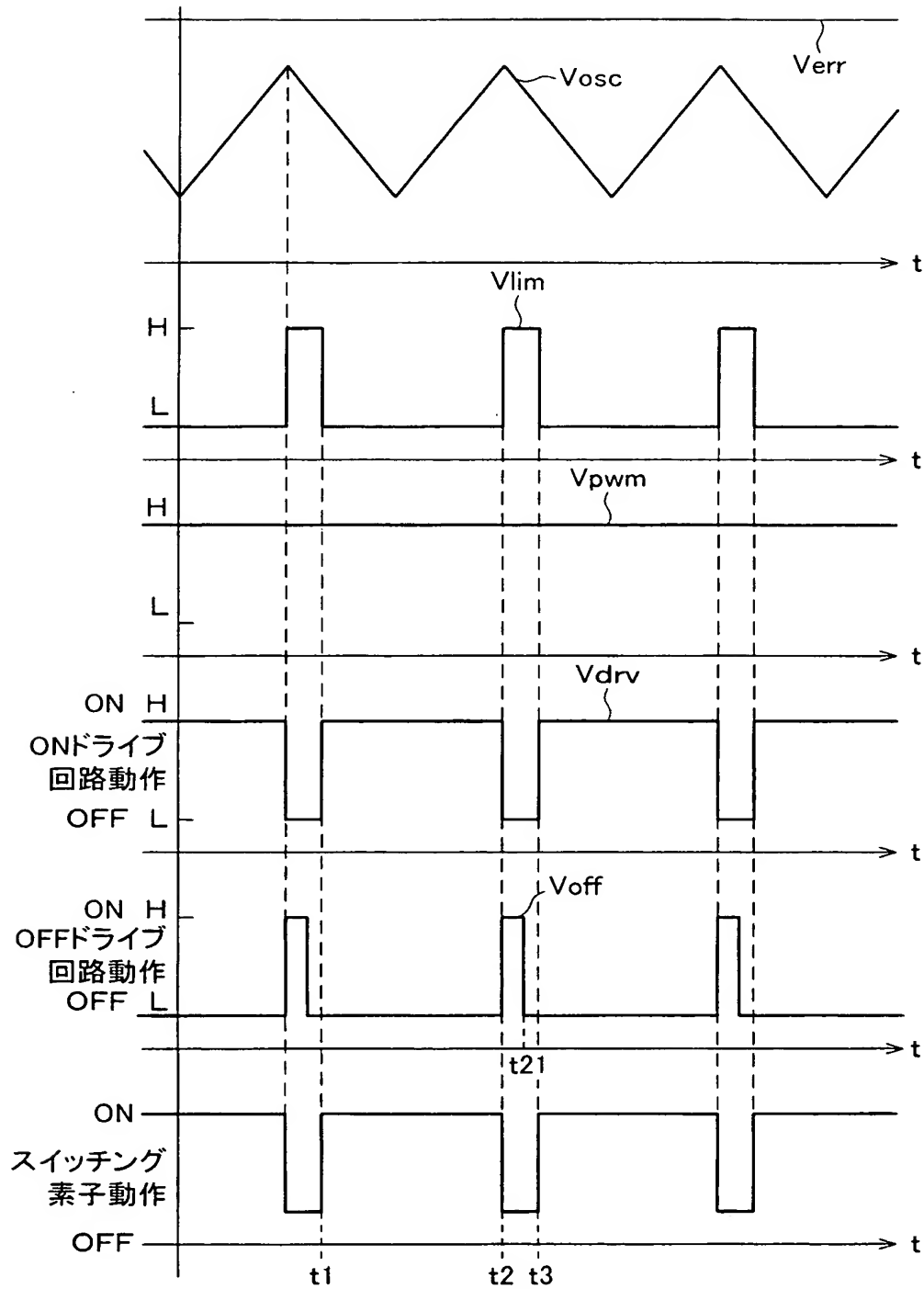
【図 3】



【図 4】

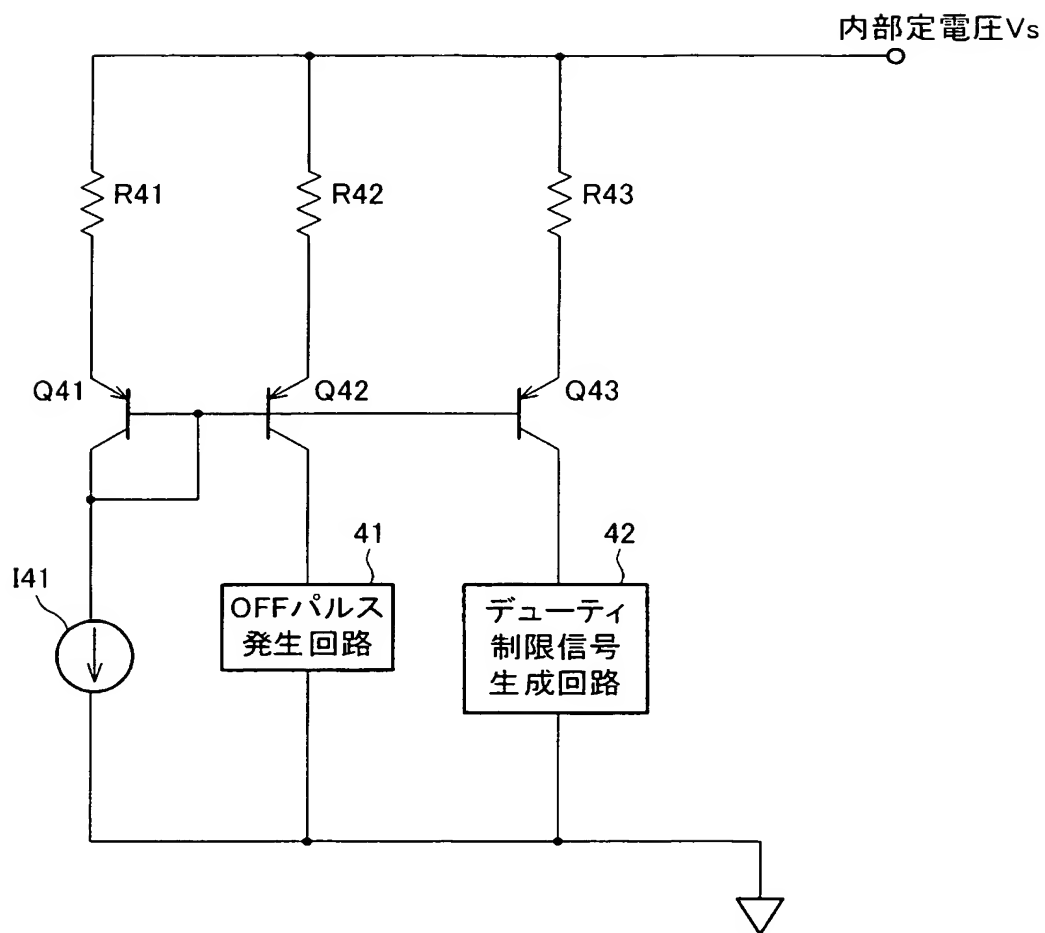


【図 5】



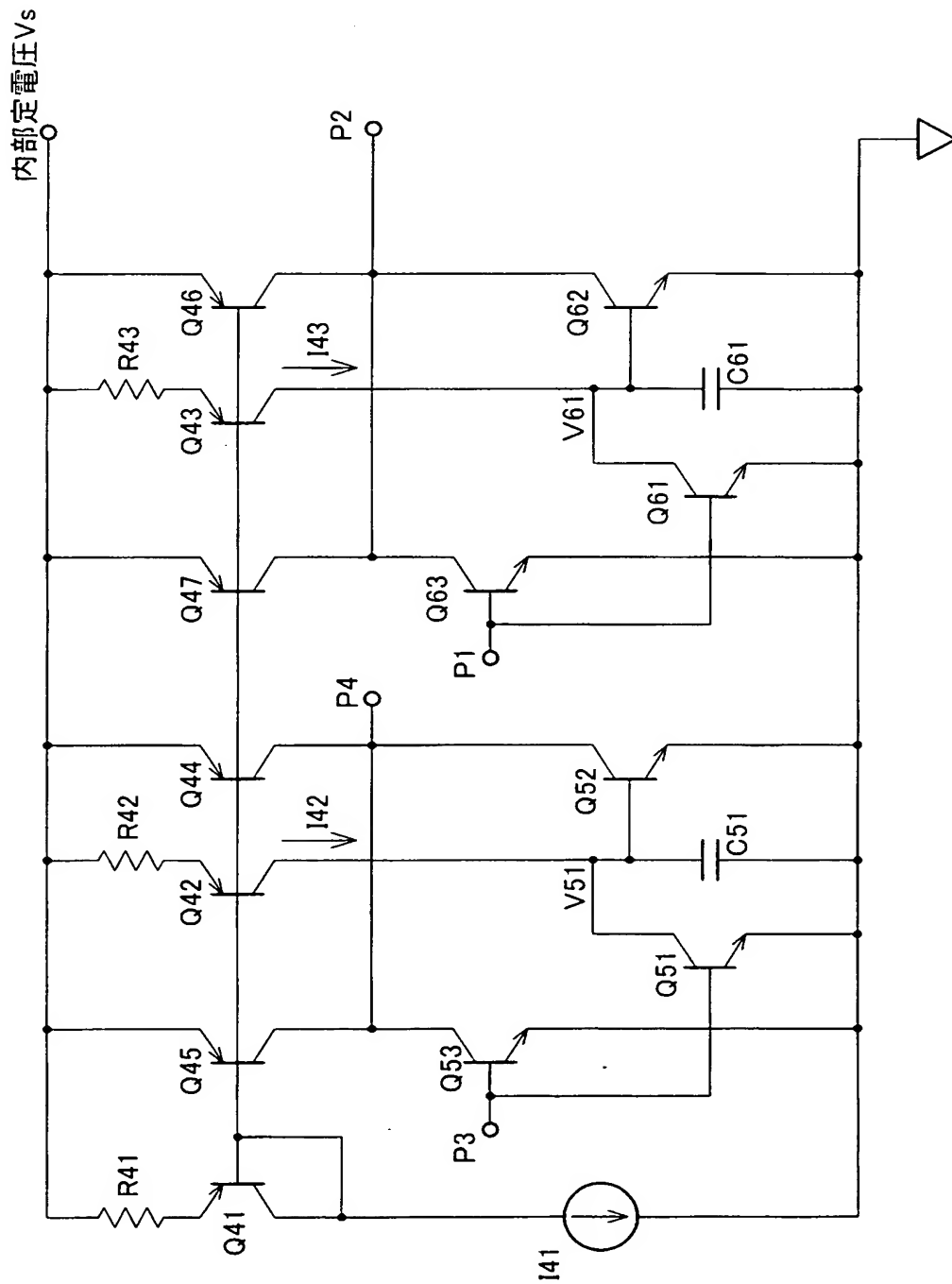
REST/ANALYSIS

【图 6】



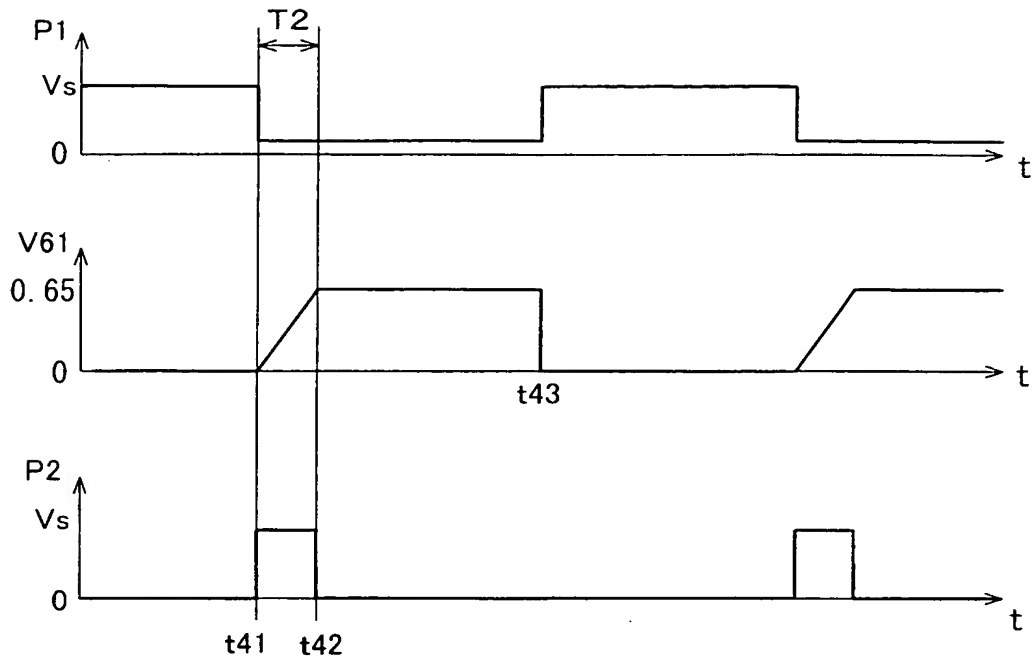
BEST AVAILABLE COPY

【図 7】

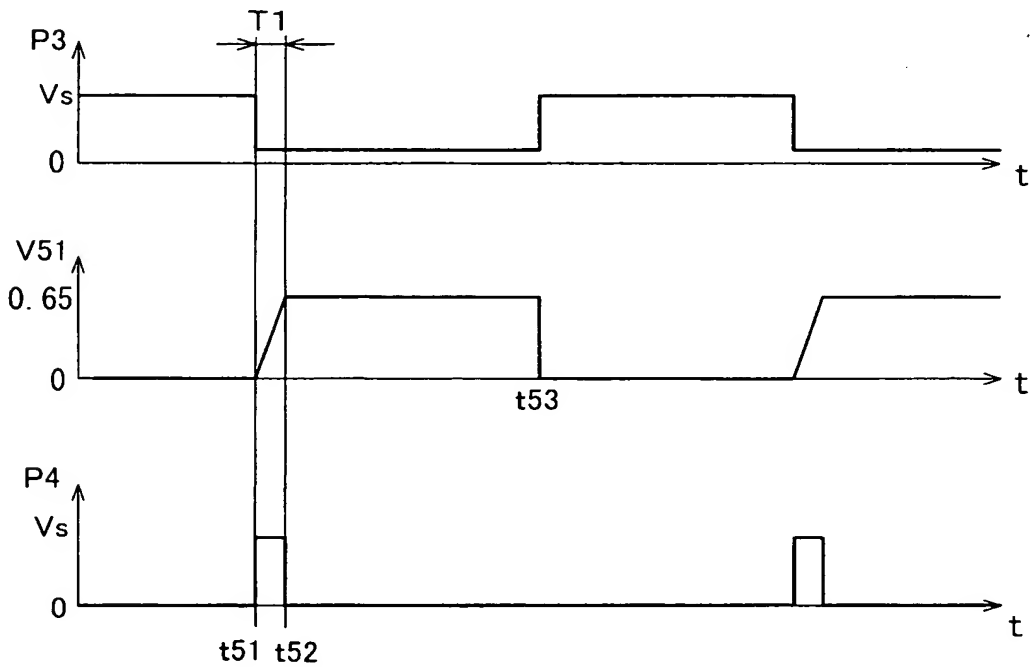


BEST AVAILABLE COPY

【図 8】

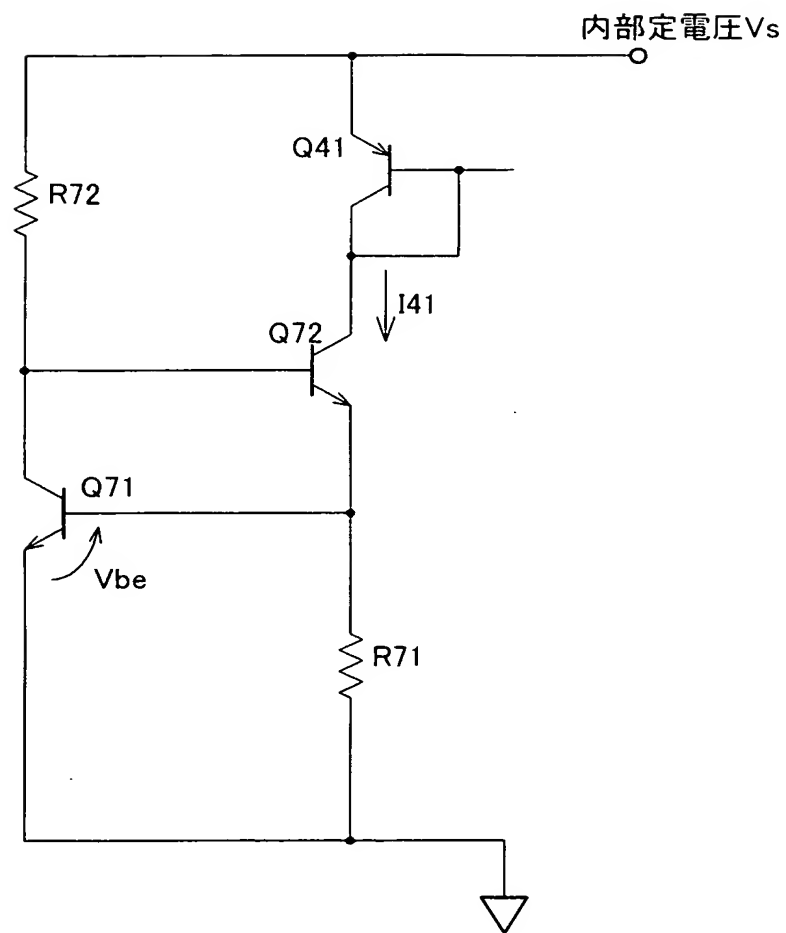


【図 9】



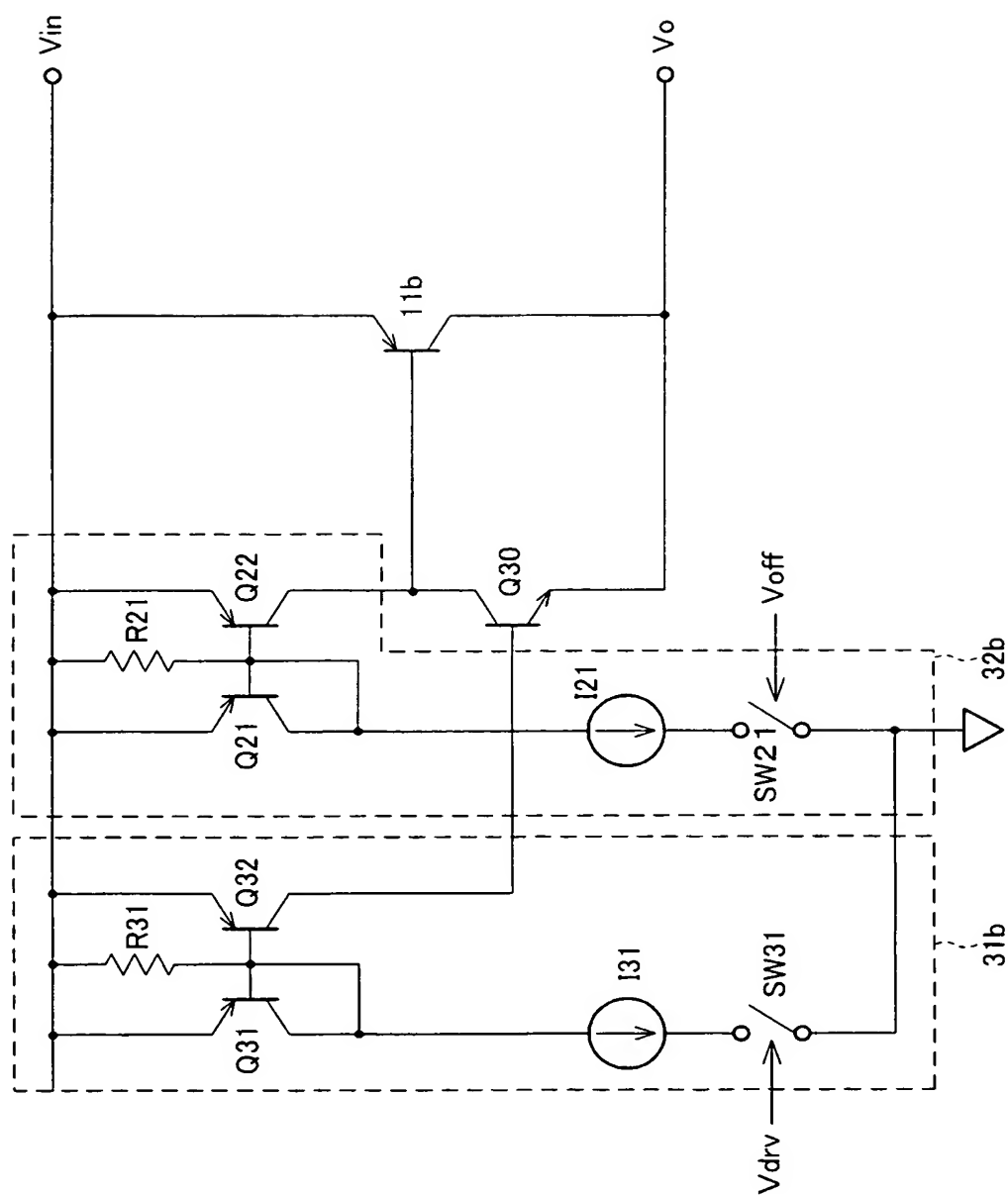
LESS AVAILABLE COPY

【図 10】



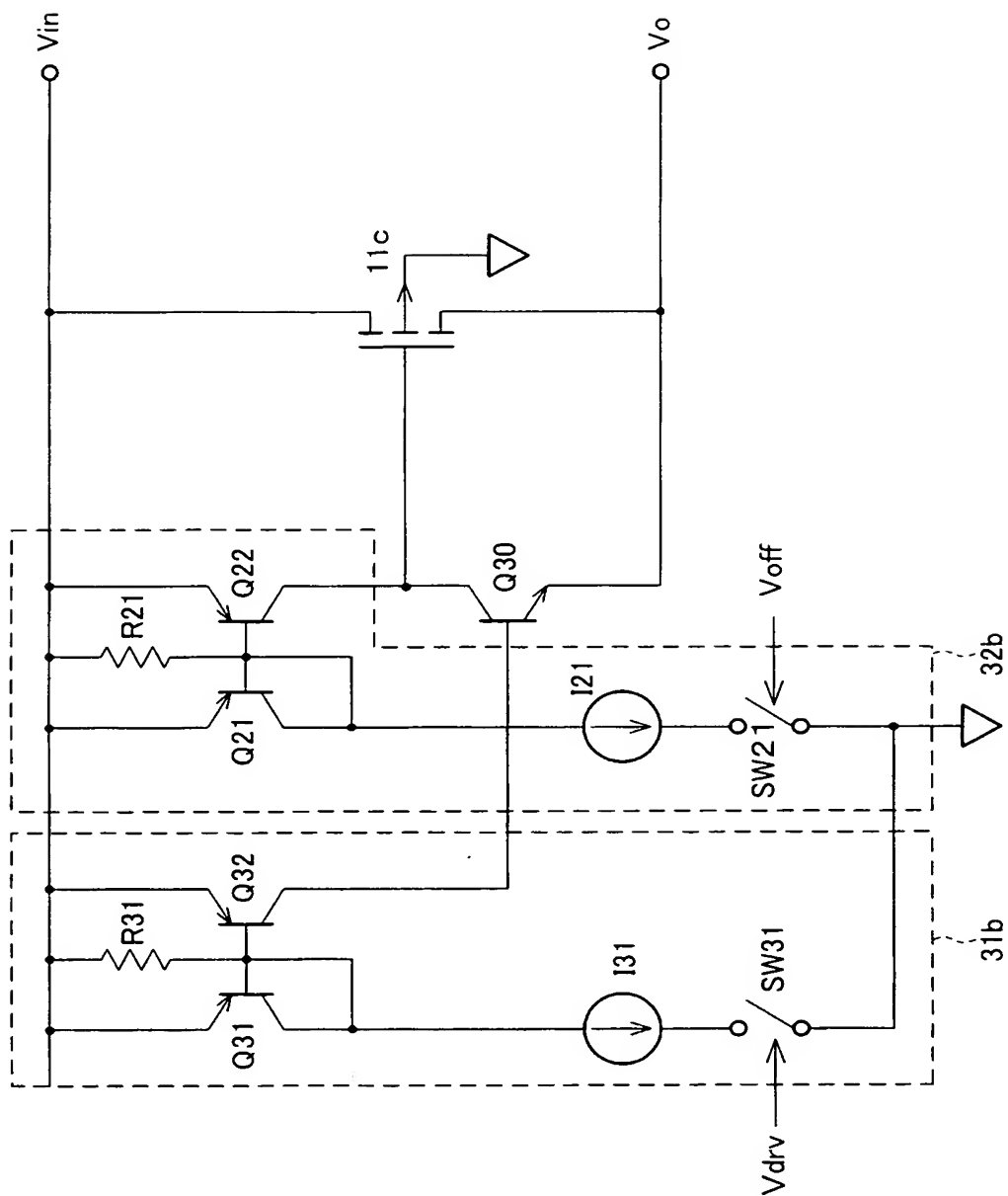
BEST AVAILABLE COPY

【図 1 1】



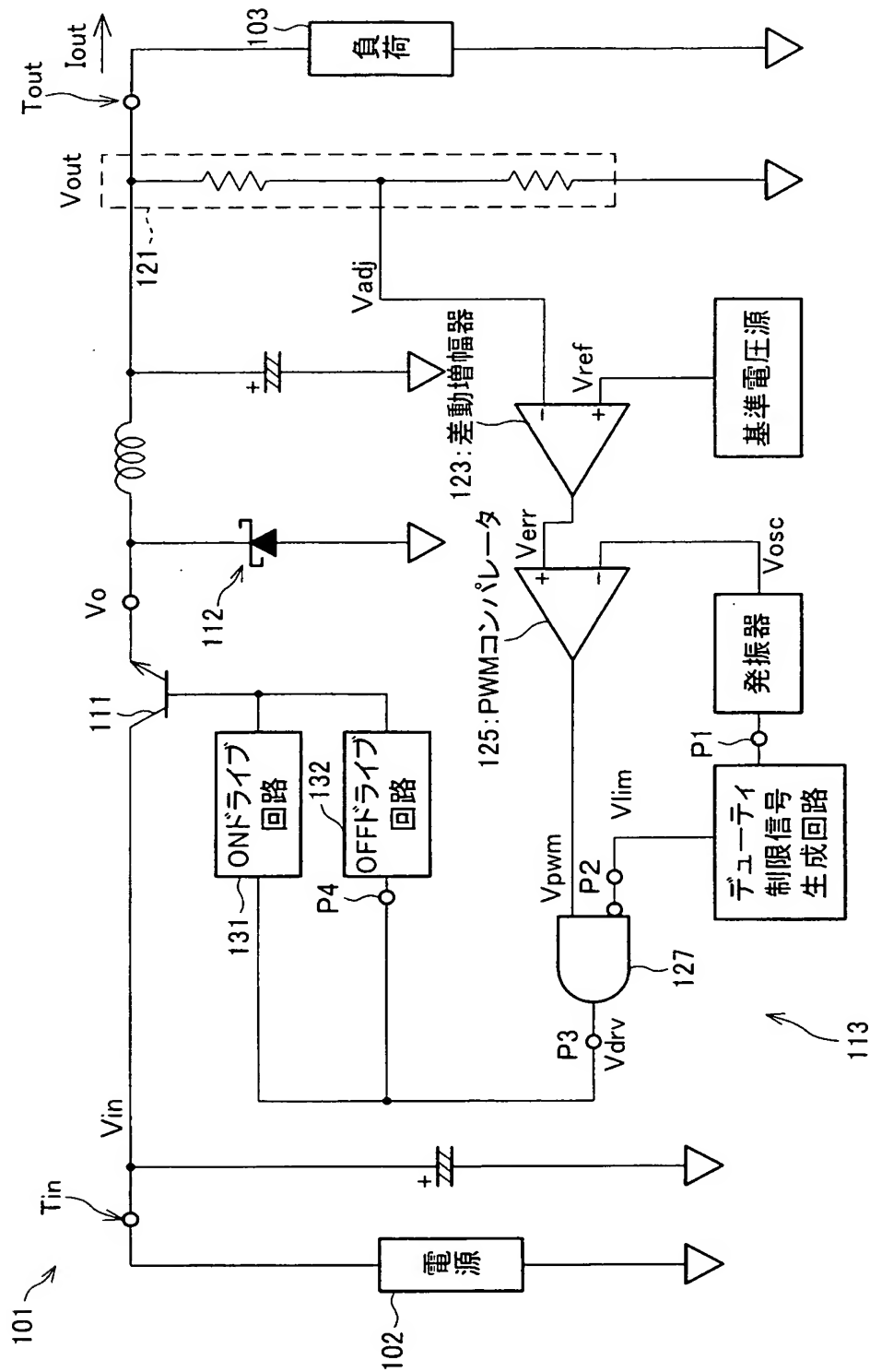
DEST AMM 1 FEB 1964

【図 12】



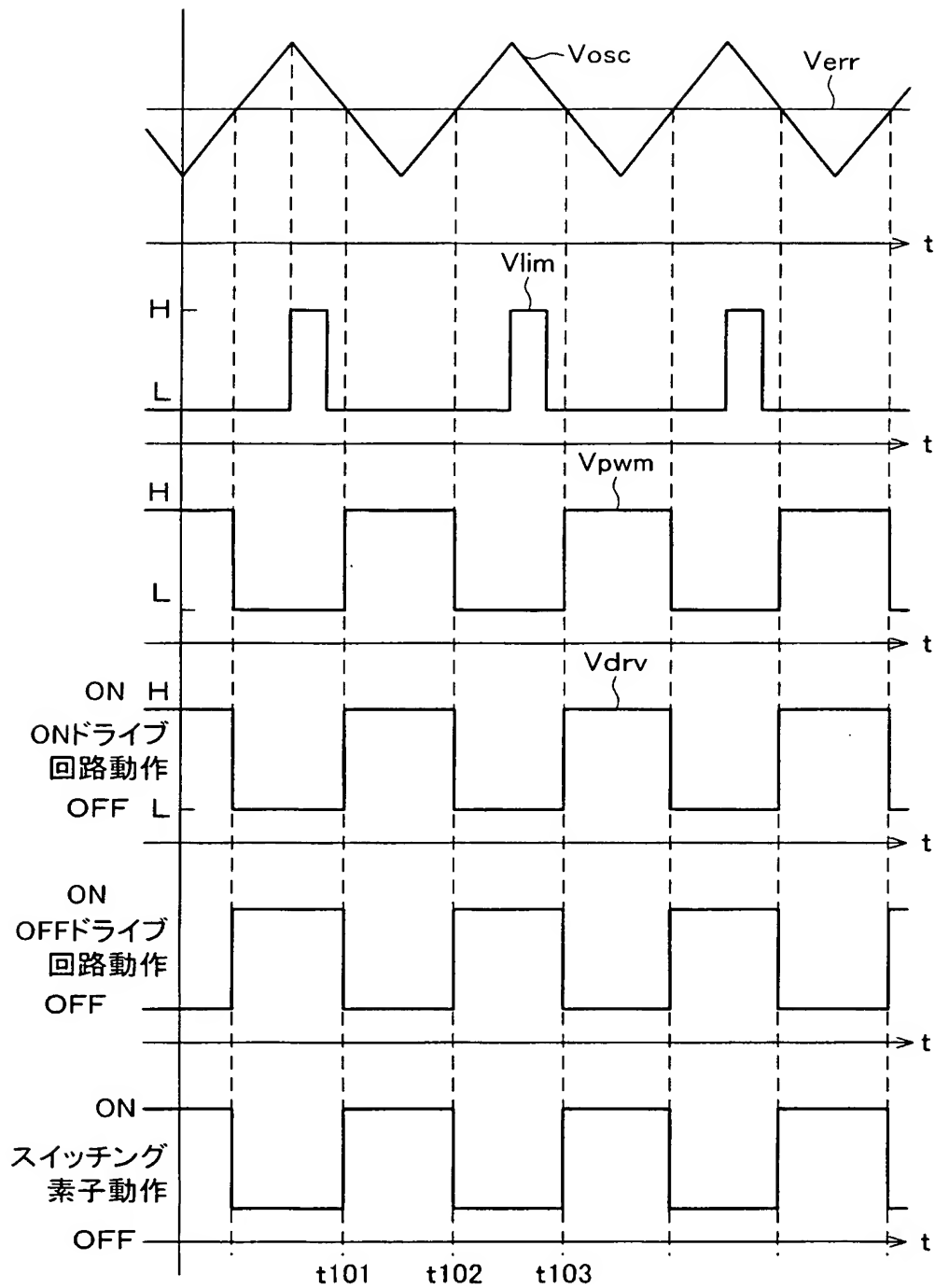
ESTABLISHED

【図 13】



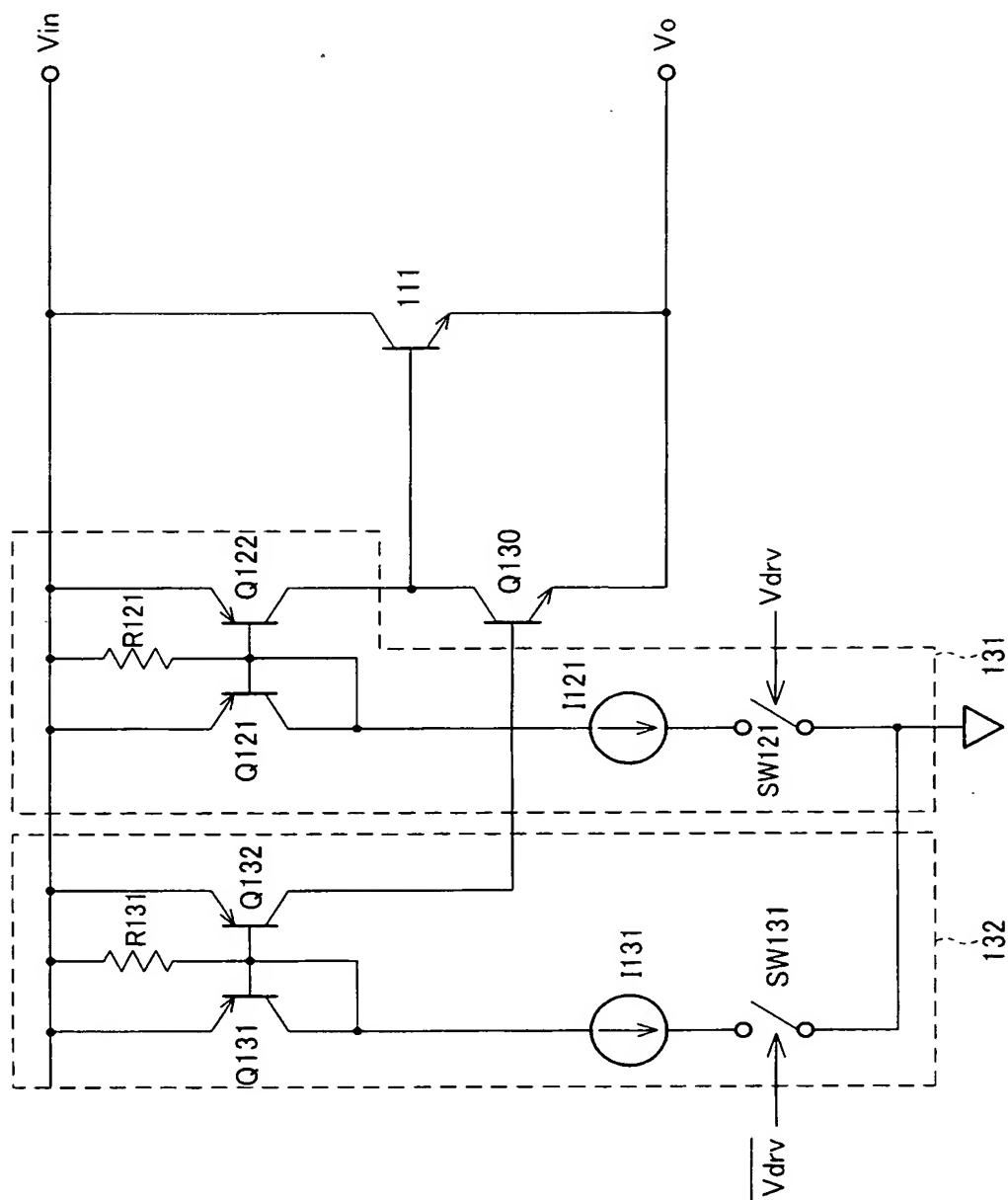
BEST AVAILABLE COPY

【図 14】



DEPT. OF ELECTRICAL ENGINEERING

【図 15】



BEST AVAILABLE COPY

【書類名】 要約書

【要約】

【課題】 電源変換効率の高いスイッチング電源回路を実現する。

【解決手段】 ドライブ回路 28 に設けられたパルス幅制御回路 33 は、ドライブ制御信号 V_{drv} のインアクティブの期間よりも短い期間、OFF ドライブ回路 32 へ動作を指示する。したがって、OFF ドライブ回路 32 は、上記ドライブ制御信号 V_{drv} がインアクティブになると動作を開始して、スイッチング素子 11 のベースから電流を引き抜き、スイッチング素子 11 をオフさせる。さらに、OFF ドライブ回路 32 は、ドライブ制御信号 V_{drv} がアクティブになるよりも早い時点で動作を停止する。これにより、OFF ドライブ回路 32 が上記インアクティブの期間動作し続けるよりも消費電力を削減でき、電源変換効率を向上できる。

【選択図】 図 1

特願 2 0 0 3 - 0 1 6 7 5 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社